

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22010

(P2000-22010A)

(43) 公開日 平成12年1月21日 (2000.1.21)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード (参考) | |
|---------------------------|------|---------------|------------|-----------|
| H 0 1 L 21/8247 | | H 0 1 L 29/78 | 3 7 1 | 5 F 0 0 1 |
| 29/788 | | 27/10 | 6 5 1 | 5 F 0 8 3 |
| 29/792 | | | | |
| 27/108 | | | | |
| 21/8242 | | | | |

審査請求 未請求 請求項の数15 F D (全107頁)

(21) 出願番号 特願平10-198123

(22) 出願日 平成10年6月30日 (1998.6.30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高島 大三郎

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム (参考) 5F001 AA17 AD12 AD52 AED3 AF05

5F083 AD21 AD49 FR02 GA09 GA18

KA06 LA03 LA05 LA11 LA12

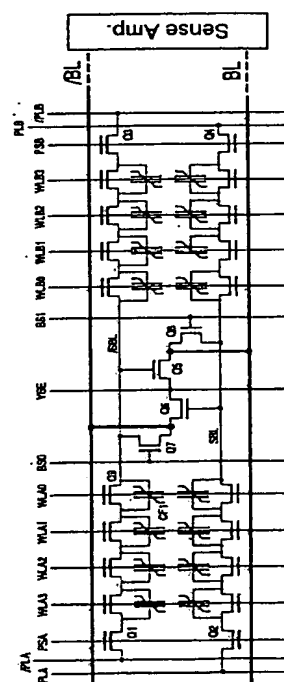
LA20 LA21 MA06 MA17 ZA28

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 不揮発性の強誘電体メモリにおいて、高密度化して、セルの強誘電体キャパシタ面積が縮小し、メモリセルの強誘電体キャパシタの分極量が減少しても、セルサイズ、チップサイズの増大を抑えつつ、さらにソフトエラーを抑えつつ、十分な読み出し信号電圧を確保して、安定なメモリ動作を可能にする。

【解決手段】 セルブロックを複数配設してメモリセルアレイを構成した強誘電体メモリであって、セルブロックは、セルトランジスタQと強誘電体キャパシタCFを並列接続してなる不揮発性のメモリセルが複数個直列接続されたブロックユニットと、このブロックユニットの一端にゲート端子が接続され、ドレイン端子がビット線BL、/BLに接続された増幅用トランジスタQ5、Q6と、ブロックユニットの一端にソース端子が接続され、ドレイン端子がビット線BL、/BLに接続された書き込み用トランジスタQ7、Q8とを備えた。



1

【特許請求の範囲】

【請求項1】セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続されたブロックユニットと、このブロックユニットの一端にゲート端子が接続され、出力端がビット線に接続された増幅回路とを具備してなることを特徴とする半導体記憶装置。

【請求項2】セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続されたブロックユニットと、このブロックユニットの一端にゲート端子が接続され、ドレイン端子がビット線に接続された増幅用トランジスタとを具備してなることを特徴とする半導体記憶装置。

【請求項3】セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続されたブロックユニットと、このブロックユニットの一端にゲート端子が接続され、ドレイン端子がビット線に接続された増幅用トランジスタと、前記ブロックユニットの一端にソース端子が接続され、ドレイン端子が前記ビット線に接続された書き込み用トランジスタとを具備してなることを特徴とする半導体記憶装置。

【請求項4】セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続された第1、第2のブロックユニットと、第1のブロックユニットの一端にゲート端子が接続され、ドレイン端子が第2のビット線に接続された第1の増幅用トランジスタと、第1のブロックユニットの一端にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2のブロックユニットの一端にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2のブロックユニットの一端にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを具備してなることを特徴とする半導体記憶装置。

【請求項5】セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続された第1、第2、第3、第4のブロックユニットと、第1及び第3のブロックユニットの共通接続された各一端にゲート端子が接続され、ドレイン端子が

2

第2のビット線に接続された第1の増幅用トランジスタと、第1及び第3のブロックユニットの共通接続された前記一端にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2及び第4のブロックユニットの共通接続された各一端にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2及び第4のブロックユニットの共通接続された前記一端にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを具備してなることを特徴とする半導体記憶装置。

【請求項6】セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続された第1、第2のブロックユニットと、第1及び第2のブロックユニットの共通接続された各一端にゲート端子が接続され、ドレイン端子がビット線に接続された増幅用トランジスタと、第1及び第2のブロックユニットの共通接続された各一端にソース端子が接続され、ドレイン端子が前記ビット線に接続された書き込み用トランジスタとを具備してなることを特徴とする半導体記憶装置。

【請求項7】ワード線をゲート端子に接続したセルトランジスタに強誘電体キャパシタを並列接続して不揮発性のメモリセルを構成し、前記メモリセルを複数個直列接続したブロックユニットと少なくとも1つの選択トランジスタを直列接続してセルブロックを構成し、前記複数のセルブロックと、各セルブロックの一端が表面に接続されるサブビット線と、該サブビット線にゲート端子が接続され、出力端がビット線に接続される増幅回路とを含んでセルセグメントを構成し、前記ビット線の複数本と、該ビット線の各々に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【請求項8】ワード線をゲート端子に接続したセルトランジスタに強誘電体キャパシタを並列接続して不揮発性のメモリセルを構成し、前記メモリセルを複数個直列接続したブロックユニットと少なくとも1つの選択トランジスタを直列接続してそれぞれ複数の第1、第2のセルブロックを構成し、第1、第2のセルブロックと、第1のセルブロックの各一端に接続される第1のサブビット線と、第2のセルブロックの各一端に接続される第2のサブビット線と、第1のサブビット線にゲート端子が接続され、ドレイン端子が第2のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線と対を成す第1のビット

10

20

30

40

50

3

線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【請求項9】ワード線をゲート端子に接続したセルトランジスタに強誘電体キャパシタを並列接続して不揮発性のメモリセルを構成し、

前記メモリセルを複数個直列接続したブロックユニットと少なくとも1つの選択トランジスタを直列接続してそれぞれ複数の第1、第2のセルブロックを構成し、

第1、第2のセルブロックと、第1のセルブロックの各一端に接続される第1のサブビット線と、第2のセルブロックの各一端に接続される第2のサブビット線と、第1のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線と対を成す第2のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【請求項10】ワード線にゲート端子が接続され、ドレイン端子がサブビット線に接続されたセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に他端を接続された強誘電体キャパシタとから1個の不揮発性メモリセルを構成し、前記サブビット線と、該サブビット線に複数接続される前記メモリセルと、前記サブビット線に入力端が接続され、出力端がビット線に接続された増幅回路とを含んでセルセグメントを構成し、

前記ビット線の複数本と、該ビット線の各々に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【請求項11】ワード線にゲート端子が接続され、ドレイン端子が第1或いは第2のサブビット線に接続されセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された強誘

4

電体キャパシタとから1個の不揮発性メモリセルを構成し、

第1及び第2のサブビット線と、第1のサブビット線の各々に接続される複数の前記メモリセルと、第2のサブビット線の各々に接続される前記複数のメモリセルと、第1のサブビット線にゲート端子が接続され、ドレイン端子が第2のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線と対を成す第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、

第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【請求項12】ワード線にゲート端子が接続され、ドレイン端子が第1或いは第2のサブビット線に接続されセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された強誘電体キャパシタとから1個の不揮発性メモリセルを構成し、

第1及び第2のサブビット線と、第1のサブビット線の各々に接続される複数の前記メモリセルと、第2のサブビット線の各々に接続される前記複数のメモリセルと、第1のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線と対を成す第2のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、

第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【請求項13】ワード線にゲート端子が接続され、ドレイン端子がサブビット線に接続されたセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された常誘電体キャパシタとから1個のメモリセルを構成し、

前記サブビット線と、該サブビット線に複数接続される

5

前記メモリセルと、前記サブビット線に入力端が接続され、出力端がビット線に接続された増幅回路とを含んでセルセグメントを構成し、

前記ビット線の複数本と、該ビット線の各々に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【請求項14】ワード線にゲート端子が接続され、ドレイン端子が第1或いは第2のサブビット線に接続されたセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された常誘電体キャパシタとから1個のメモリセルを構成し、第1及び第2のサブビット線と、第1のサブビット線の各々に接続される複数の前記メモリセルと、第2のサブビット線の各々に接続される複数の前記メモリセルと、第1のサブビット線にゲート端子が接続され、ドレイン端子が第2のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線と対を成す第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【請求項15】ワード線にゲート端子が接続され、ドレイン端子が第1或いは第2のサブビット線に接続されたセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された常誘電体キャパシタとから1個のメモリセルを構成し、第1及び第2のサブビット線と、第1のサブビット線の各々に接続される複数の前記メモリセルと、第2のサブビット線の各々に接続される前記複数のメモリセルと、第1のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線と対を成す第2のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接

6

続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係わり、特に強誘電体キャパシタを用いた不揮発性の半導体記憶装置に関する。

【0002】

10 【従来の技術】今日、半導体メモリは、大型コンピュータの主記憶から、パーソナルコンピュータ、家電製品、携帯電話等、至る所で利用されている。半導体メモリの種類としては、揮発性のDRAM (Dynamic RAM)、SRAM (Static RAM)、不揮発性のMROM (Mask ROM)、EEPROM (Electrically Erasable Programmable ROM) 等が市場に出まわっている。特にDRAMは、その低コスト性 (SRAMに比べてセル面積が1/4)、高速性 (EEPROMに比べて) の点で優れており、揮発性メモリであるにも拘わらず市場の殆どを占めているのが現状である。

20 【0003】書き換え可能で不揮発性のEEPROMは、不揮発で、電源を切ることが可能ではあるが、書き換え回数 (W/E回数) が10の6乗程度しかなく、書き込む時間がマイクロ秒程度かかり、さらに書き込みが高電圧 (12V~22V) を印加する必要がある等の欠点があるため、DRAM程は市場は開けていない。

30 【0004】これに対して、強誘電体キャパシタ (Ferroelectric Capacitor) を用いた不揮発性メモリFRAM (Ferroelectric RAM) は、1980年に提案されて以来、不揮発性で、しかも書き換え回数が10の12乗、読み出し書き込み時間がDRAM程度、3V~5V動作等の長所があるため、全メモリ市場を置き換える可能性があり、各メーカーが開発を行っている。現状、学会レベルでは、1Mb FRAMの発表が行われている (H. Koike et al., 1996 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 368-369, Feb. 1996)。FRAMのセルは、開発当初のSRAM+SM (Shadow Memory) 構成から、2トランジスタ+2キャパシタ構成と、DRAMの開発と同じく時代と共に、セル構成の簡略化、微細化により、セルサイズが縮小されてきた。

40 【0005】図230 (a) に従来FRAMの1トランジスタ+1キャパシタ構成のメモリセルの等価回路を示す。この従来FRAMの1トランジスタ+1キャパシタ構成のメモリセルにおいては、もはやDRAMのトランジスタとキャパシタを直列接続する1トランジスタ+1キャパシタ構成と同様である。異なる点は、DRAMではキャパシタとして常誘電体キャパシタを用いるが、FRAMではヒステリス特性を持つ強誘電体性のキャパシタを用いる点である。よって、セルアレイ構成もDRA

50

7

Mと同等で、フォールデッドBL構成を取り、図230 (b)の断面図に示すように、最小セルサイズは $2F \times 4F = 8F^2$ となり、これ以上小さくしにくい。ここで、Fは最小加工寸法を示す。

【0006】無理に $4F^2$ サイズを実現した例として、縦型トランジスタや縦型TFT (Thin Film Transistor) を用いて、 $4F^2$ サイズを実現するもの等が存在するが、その製造は極めて困難である。また、セルトランジスタを直列接続し、各々のセルトランジスタとプレート電極間にキャパシタを接続して、ほぼ $4F^2$ サイズを実現するもの (NAND型セル) が提案されているが、これはランダムアクセスができず汎用性に乏しい。

【0007】このように従来FRAMセルにおいては、(1) 小さい $4F^2$ サイズのメモリセル、(2) 製造が容易な平面トランジスタ、(3) 汎用性のあるランダムアクセス機能、の3点を両立できないという第1の問題点が存在した。

【0008】また、動作方式で言えば、DRAMでは、キャパシタの一端のプレート電極を $(1/2)V_{dd}$ に固定するが、FRAMでは、 $0V \sim V_{dd}$ 間で変動させる点のみ異なる。この点に関しても、図230 (c)に示すような、プレート電極を変動する方式 (T. Sumi et al., 1994 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp.268-269, Feb, 1994 等) から、図230 (d)に示すような、 $(1/2)V_{dd}$ に固定する方式 (H. Koike et al., 1996 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp.368-369, Feb, 1996 や、K. Takeuchi et al., IEICE Trans, Electron., Vol. E79-C, No.2, Feb, 1996) に切り替わりつつある。

【0009】プレート電極を $0V \sim V_{dd}$ 間を駆動する方式は、プレート電極には多くのメモリセルが接続され、負荷容量が大きく、駆動時間が非常に長いため、従来DRAMと比べて、アクセスタイムとサイクルタイムの両方共動作が遅くなるのが現状である。プレートを $(1/2)V_{dd}$ に固定する方式は負荷容量の重いプレートを駆動する必要が無いため、DRAMと同等のアクセスタイムとサイクルタイムが実現できる。

【0010】しかしながら、従来のFRAMのメモリセルは、DRAMと同じくトランジスタと強誘電体キャパシタを直列接続した構成を取っており、図230 (d)の回路図に示すように、ストレージノード (SN) は電源投入後のスタンバイ時にフローティングになる。よって、SNに“1”データ保持時、SNがセルトランジスタのpn接合部のジャンクションリークにより、 V_{ss} に降下するため、プレート電極が $(1/2)V_{dd}$ 固定の場合、セル情報が破壊される。よって、 $(1/2)V_{dd}$ セルプレート方式においては、DRAMと同様なリフレッシュ動作が必要になり、パワーの増加の問題やセルリークスベックが厳しくなる問題が生じ、製造が困難になる。

8

【0011】このように、従来のFRAMにおいては、高速動作 (PL電位固定) と、リフレッシュ不要の両立が困難であるという、第2の問題点が存在した。

【0012】上記の第1及び第2の問題点に対して発明者らは、不揮発性の強誘電体メモリで、(1) 小さい $4F^2$ サイズのメモリセル、(2) 製造が容易な平面トランジスタ、(3) 汎用性のあるランダムアクセス機能、の3点が両立でき、しかもPL電位固定で高速化を保ちつつ、スタンバイ中でも、データ保持が可能でリフレッシュ動作を不要とする半導体記憶装置を既に提案している (特願平9-153137号)。さらに、PL駆動方式であっても、高速動作が実現できる半導体記憶装置を既に提案している (特願平9-346404号)。

【0013】しかしながら、従来FRAMはもちろん、上記した先願においても、高密度化してメモリセルの1個1個の強誘電体キャパシタ面積が縮小した場合、メモリセル1個1個当りの強誘電体キャパシタの分極量が減少してしまい、結果として読み出し信号電圧が低下して、大容量化、高密度化が困難になる大きな問題点を抱えていた。この問題は、DRAM等でも同じであるが、特にFRAMにおいては、図235に示すような本質的な問題点を抱えているため深刻である。

【0014】図235 (a)は強誘電体キャパシタを示しており、図235 (b)は (a)に比べて強誘電体膜の厚みが半分のキャパシタを示している。図235

(c)はこれら2つの強誘電体キャパシタのヒステリシス特性を示している。強誘電体材料においては、膜厚を薄くしても残留分極量は変化せず、抗電界一定のため膜厚を薄くした分、抗電圧が低下するだけである。これは、低電圧動作には良いが、高密度化してメモリセルのキャパシタ面積が縮小した場合、セル分極量が低下してしまう問題点につながる。現在、強誘電体材料として、PZT, SBT, Stained BST等が提案されているが、残留分極量は、 $7 \sim 30 \mu C / cm^2$ と材料により固定であり、これ以上の分極量を持つ材料が発見されていないのが現状である。材料の単結晶化等の材質を改善するしか現状方法が無い。

【0015】図236は、横軸に設計ルール、縦軸にFRAMのビット線容量とセル1個当りの残留分極量を示している。ここで、ビット線容量は $512 WL/BL$ を仮定しており、微細化 (設計ルールの縮小) により、僅かに減少していく。従来必要分極量 P_r の線は、読み出し信号: V_s を $110 mV$ と仮定して、 $V_s = P_r / C_b$ の式から、1セル当りに最低限必要な分極量 P_r を示している。ビット線容量 C_b の低下に比例して、微細化に伴い減少しているが、緩やかな減少である。

【0016】これに対して、強誘電体材料の残留分極量を $20 \mu C / cm^2$ と仮定した場合の、設計ルールでの平面キャパシタで実現した場合の得られる残留分極量を平面Capの線に示し、立体キャパシタで、底辺と高さ

のアスペクト比ARを1~0.7に取った場合の得られる残留分極量を立体Cap (AR=1~0.7)に示し、立体キャパシタで、底辺と高さのアスペクト比を2~1.4に取った場合の得られる残留分極量を立体Cap (AR=2~1.4)に示す。ここで、強誘電体キャパシタの底辺の面積を $3F^2$ と仮定している (Fは設計ルール)。

【0017】このように、実際得られる1セル当りの残留分極量は、設計ルールの2乗にほぼ比例して低下するため、設計ルール縮小に伴い急激に減少する。この図は、強誘電体キャパシタを平面で形成した場合、0.2 μ mルールの256MbFRAMで限界が来ることを示している。強誘電体キャパシタは、分極に異方性及び軸性を持つものが多く、立体キャパシタで十分な残留分極を得ることは難しく、いまだ立体キャパシタを実現した例が報告されていない。たとえ立体キャパシタが実現できたとしても、図236に示すように、1GbFRAM、4GbFRAMが限界点と言える。これは、従来の最大 $3F^2$ の底辺の面積を実現できるFRAMに当てはまり、セルサイズは $4F^2$ と従来比の50%を実現できるが、キャパシタの底辺面積が F^2 しか取れない、先願の発明ではさらに苦しい。

【0018】また、従来DRAMにおいても、セル蓄積電荷量 $Q_s = C_s \times (1/2)V_{dd} = \epsilon \times S \div T \times (1/2)V_{dd}$ で定義される。ここで ϵ は誘電率、Sはキャパシタ面積、Tはキャパシタ絶縁膜厚である。電源電圧の低下、キャパシタ面積の低下により急減にセル蓄積電荷量 Q_s は減少する。設計ルール縮小にも拘わらず電源電圧を緩やかに低下させた場合、Tが一定の場合、セル蓄積電荷量 Q_s の低下の比率は図236の強誘電体メモリと等価で、DRAMにおいては、Tを薄膜化する分だけ容量が増加するメリットがあり、さらにBST膜等で立体Capを実現できることから、1GbDRAM、4GbDRAM程度は実現できることが予測されている。

【0019】しかしながら、BST膜においても薄膜化に限界があり、膜厚10nm程度 (酸化膜厚換算0.1nm) で限界が生じる。これは第1に薄膜化自身の限界と、第2に薄膜化により、容量のバイアス電圧依存性が顕著になるためである。具体的に言うと、薄膜化するとより低電圧では容量が大きくなるが、動作バイアス電圧では容量があまり増加しないためである。DRAMセルデータ読み出しでは、動作点が $1/V_{dd}$ から読み出し信号電位 V_s までの間の容量が有効であり、薄膜化で V_s 以下の部分の容量が増加してもメリットが無いためである。このように、従来DRAMにおいても1Gb~4GbDRAMが限界点である。

【0020】無理をしてアスペクト比を非常に大ききすればそれ以上も実現できるが、コスト増、製造の困難さ等から考えて現実的であることが分かる。たとえBSTの代わりにPZTを用いても下限はそれほど低下しな

い。基本的に高誘電体材料や、強誘電体材料は同じ材料グループで、原子が移動することにより、強誘電体性を持ったり、誘電率が増加するわけであり、原子の移動には限界があると言うわけである。よって、高誘電体であっても、薄膜化して、最大分極化させると限界は、強誘電体の場合と同じになるわけである。

【0021】また、従来のEEPROM等においても、10年間のデータリテンションを実現するには8nm程度の酸化膜が必要であり、微細化に限界がある。EEPROMにおいても、多値技術を用いたとしても1Gbフラッシュメモリが限界点である。

【0022】また、従来上記FRAMの問題点に対し、図237に示すような、自己増幅機能をもつメモリセルが各種提案されている。図237においては、各種(a)(b)(c)(d)の4種類の自己増幅機能を持つメモリセルに対して、4種類の問題が、問題であるか無いかと、セルサイズの比較が示してある。

【0023】図237の(a)のメモリセルは、1トランジスタ形のMFSFET形或いは、MF(M)ISFET形のトランジスタを示している。MFSFET形はゲート絶縁膜に強誘電体膜を用いるトランジスタであり、格子定数が強誘電体膜とSi基板と異なるため製造が極めて困難である。MFISFET形は、ゲート絶縁膜に強誘電体膜を用い、Si基板との界面に常誘電体のバッファ膜を形成したトランジスタである。MFMISSFET形は、ゲート絶縁膜に強誘電体膜を用い、Si基板との界面には、導体と常誘電体のバッファ膜を形成したトランジスタである。この場合でも製造は難しい上に、カップリング比の問題、リークの問題、誤書き込み等、実用化する上での本質的問題が山積みである。

【0024】カップリング比の問題は、通常強誘電体膜の誘電率は、常誘電体膜の誘電率に比べて非常に大きい。図237の右上図の等価回路に示すように、いくら常誘電体側を薄膜化しても、強誘電体膜側の容量が常誘電体側の容量より大きくなってしまい、データ書き込みのためゲートに電圧を印加しても、容量の小さい常誘電体側に書き込み電圧の殆どが印加されてしまい。結果として、書き込みに対して、従来の低電圧動作が可能なFRAMに比べて、7V~15Vと高電圧を印加する必要が生じる。

【0025】リークの問題は、これは致命的な問題点である。例えば、MFMISSFETのゲートに電圧を印加して、強誘電体膜を分極反転させ、その後、ゲートを0Vに戻したあとのトランジスタの様子を図237の右下図に示す。強誘電体膜の分極反転によりゲート側には正の電荷が集められ、強誘電体膜と常誘電体膜の間の導電体の強誘電体膜側には、負の電荷が集められる。すると、導電体内部の電荷保存則により、あまった正の電荷がいかに単独で導電体内部に存在しているかのよう

なる。この正の電荷により、常誘電体膜を介してチャネル側に負の電荷が誘起される。この負の電荷の誘起、非誘起により、トランジスタのしきい値電圧が変化して、非破壊読み出しメモリセルとして機能するわけである。

【0026】理想的にはこれで良いのであるが、実際は導電体内部の正の電荷により導電体内部ノードの電位が上がり、導電体-ゲート間、導電体-チャネル間には電界が発生する。これにより、電子が強誘電体膜或いは常誘電体膜のどちらからでも、これを通して導電体に入り込んでしまうと、セル情報が破壊される問題が存在する。このセルデータの保存（データリテンション）は不揮発性メモリでは10年保持せねばならず、8nmのゲート酸化膜でもやっとなのに、バリアハイトの小さい強誘電体膜や、高誘電体膜では殆ど10年保証は困難と言える。今までの実測でも室温で数10秒となっており、とても高温10年は難しい。

【0027】誤書き込みの問題は、選択セルにデータを書き込む場合、どうしても非選択セルに接続されるビット線の電位も振幅せざるをえない。このときの方式にもよるが、選択セルの少なくとも $1/3 \sim 1/2$ の電位が非選択セルのドレイン端子に印加してしまい誤書き込みを生じる。フラッシュメモリでも同様な問題があるが、フラッシュメモリの場合、印加電圧に対して指数関数的にF-Nトンネリング、ホットキャリアによる電流が変化するため、あまり問題ないが、印加電圧にリニアで分極反転する強誘電体形トランジスタでは深刻な問題である。

【0028】この図237(a)のメモリセルは理論的には $4F^2$ サイズが実現できるが、データ書き込み時にウェル電位をコントロールする必要があり、実際的には、ビット線とウェルを接続するため、 $4F^2$ より大きくなってしまふ。現在 $6F^2$ のセルまでは提案されている。

【0029】図237の(b)の回路は、(a)の強誘電体形トランジスタに選択トランジスタを介してビット線に接続した2トランジスタ型のメモリセルで、カップリング比問題、リーク問題、製造容易性、誤書き込み等の問題の内、非選択セルの選択トランジスタをOFFしておくことにより誤書き込みの問題を解決できる。しかしながら、カップリング比問題、リーク問題、製造容易性の問題は残る上、セル面積が $8F^2$ 以上と、従来FRAMと同等にまで大きくなってしまふ。

【0030】図237の(c)の回路は、リーク問題、製造容易性の問題を解決するため、強誘電体FETを用いずに、通常のトランジスタと強誘電体キャパシタを用いて構成している。トランジスタとして、書き込み用トランジスタと増幅読み出し用トランジスタを備えている。書き込みトランジスタをONして、PL-BL間に電圧を印加して分極反転させ、書き込みトランジスタをOFFして、書き込みを終了する。読み出しは、PLを

駆動して、分極反転させ、“1”、“0”データにより読み出しトランジスタのゲート電圧が異なることを利用して、これをトランジスタで増幅してビット線に読み出す。しかしながら、この構成でも、強誘電体キャパシタ容量がゲート容量に比べて大きいと、カップリング比の問題が残る上に、セルサイズが $12F^2$ 以上と従来FRAMより大きくなってしまふ。

【0031】図237(d)の回路は、(c)の回路にさらに、常誘電体キャパシタを接続した場合を示し、この負荷容量により分極反転読み出しが容易になり、問題無い動作が期待できる。しかし、強誘電体キャパシタと同程度の容量或いはさらに大きな容量の常誘電体キャパシタが必要であり、 $16F^2$ 以上、さらに大きなセル面積が必要になり、コスト的に実用化は困難と言える。

【0032】このように従来の自己増幅機能をもつメモリセルにおいては、正常動作と高密度の両立は極めて困難な問題点があった。なお、この自己増幅機能を持つセルはDRAMにも適用できるが、この場合も最低2トランジスタ+1キャパシタ構成が必要で、従来DRAMより大きくなる問題点を抱えていた。

【0033】

【発明が解決しようとする課題】以上述べたように、従来FRAMはもちろん先願においても、高密度化してメモリセルの1個1個の強誘電体キャパシタ面積が縮小した場合、残留分極量は薄膜化しても増加しないため、メモリセル1個1個当りの強誘電体キャパシタの分極量が減少してしまい、結果として読み出し信号電圧が低下して、大容量化、高密度化が困難になる大きな問題点を抱えていた。これにより、FRAMにおいては、平面キャパシタで $256Mb$ FRAMが限界点、立体キャパシタでも $1Gb \sim 4Gb$ FRAMが限界点となる。

【0034】この問題は、絶縁膜の薄膜化に限界を持つDRAM等でも同様であり、DRAMにおいても $1Gb \sim 4Gb$ DRAMが限界点となる。また、他のフラッシュメモリでも酸化膜の薄膜化に限界があり、 $1Gb$ フラッシュメモリが限界である。つまり、従来のデータの読み書きができる半導体メモリにおいては、どれを取っても $1Gb \sim 4Gb$ で限界を迎える問題点があった。

【0035】一方、自己増幅機能を持つ従来の強誘電体メモリにおいても、カップリング比問題、リーク問題、製造容易性、誤書き込み等の本質的な問題点を抱えており、これらを解決するには、セル面積が $16F^2$ 以上と非常に大きくなる問題点を抱えていた。

【0036】本発明は、上記事情を考慮してなされたもので、その目的とするところは、不揮発性の強誘電体メモリにおいて、高密度化してセルの強誘電体キャパシタ面積が縮小し、メモリセルの強誘電体キャパシタの分極量が減少しても、セルサイズやチップサイズの増大を抑えつつ、さらにソフトエラーを抑えつつ、十分な読み出し信号電圧を確保して、安定なメモリ動作を可能にする

半導体記憶装置を提供することにある。

【0037】また本発明の他の目的は、高密度化、製造の容易化、高速ランダムアクセス機能を保ちつつ、上記効果を実現する半導体記憶装置を提供することにある。また本発明のさらに他の目的は、ダイナミック型半導体メモリにおいても、高密度化してメモリセルの強誘電体キャパシタの分極量が減少しても、セルサイズ、チップサイズの増大を抑えつつ、さらにデータリテンションは向上しないが、ソフトエラーを抑えつつ、十分な読み出し信号電圧を確保して、安定なメモリ動作を可能にする半導体記憶装置を提供することにある。

【0038】

【課題を解決するための手段】（構成）上記課題を解決するために本発明は、次のような構成を採用している。

【0039】（1）セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続されたブロックユニットと、このブロックユニットの一端に入力端が接続され、出力端がビット線に接続された増幅回路とを具備してなることを特徴とする。

【0040】（2）セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続されたブロックユニットと、このブロックユニットの一端にゲート端子が接続され、ドレイン端子がビット線に接続された増幅用トランジスタとを具備してなることを特徴とする。

【0041】（2-1）ビット線は、セルブロックにデータを書き込むビット線と同一であること。

（2-2）ビット線は、セルブロックにデータを書き込むビット線とビット線対を成す他のビット線であること。

【0042】（2-3）増幅用トランジスタのドレイン端子は、書き込み用トランジスタを介してビット線に接続されること。

（2-4）セルトランジスタのゲートはワード線に接続されること。

【0043】（2-5）スタンバイ時、セルトランジスタのドレイン、ソース端子は0Vになること。

（2-6）ビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に(1/2)VBLHにプリチャージされること。

【0044】（2-7）1個のメモリセルで1ビットの情報を記憶すること。

（2-8）2個のメモリセルで1ビットの情報を記憶すること。

【0045】（2-9）メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを

含み、ダミーユニットの一端はビット線に接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

【0046】（3）セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続されたブロックユニットと、このブロックユニットの一端にゲート端子が接続され、ドレイン端子がビット線に接続された増幅用トランジスタと、前記ブロックユニットの一端にソース端子が接続され、ドレイン端子が前記ビット線に接続された書き込み用トランジスタとを具備してなることを特徴とする。

【0047】（3-1）ブロックユニットの他端は、プレート線に接続されること。

（3-2）ブロックユニットの他端は、選択用トランジスタを介してプレート線に接続されること。

【0048】（3-3）ブロックユニットの一端と内部電源線との間に、メモリセルの強誘電体キャパシタとは別の強誘電体キャパシタ、或いは常誘電体キャパシタが接続されること。

（3-4）セルトランジスタのゲートはワード線に接続されること。

【0049】（3-5）スタンバイ時、セルトランジスタのドレイン、ソース端子は0Vになること。

（3-6）ビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に(1/2)VBLHにプリチャージされること。

【0050】（3-7）1個のメモリセルで1ビットの情報を記憶すること。

（3-8）2個のメモリセルで1ビットの情報を記憶すること。

【0051】（3-9）メモリセルの読み出しセル信号は、増幅用トランジスタで増幅されてビット線に読み出され、ビット線からメモリセルへのデータの書き込みは書き込み用トランジスタを介して行うこと。

【0052】（3-10）メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端はビット線に接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

15

【0053】(4) セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続された第1、第2のブロックユニットと、第1のブロックユニットの一端にゲート端子が接続され、ドレイン端子が第2のビット線に接続された第1の増幅用トランジスタと、第1のブロックユニットの一端にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2のブロック

【0054】(4-1) 第1、第2のビット線は対をなし、同一のセンスアンプ回路に接続されること。

(4-2) 第1、第2のブロックユニットの各他端は、それぞれプレート線に接続されること。

(4-3) 第1のブロックユニットの他端は、第1の選択用トランジスタを介してプレート線に接続され、第2のブロックユニットの他端は、第2の選択用トランジスタを介してプレート線に接続されること。

【0055】(4-4) 第1のブロックユニットの他端は第1のプレート線に接続され、第2のブロックユニットの他端は第2プレート線に接続されること。

(4-5) 第1のブロックユニットの他端は、第1の選択用トランジスタを介して第1のプレート線に接続され、第2のブロックユニットの他端は、第2の選択用トランジスタを介して第2のプレート線に接続されること。

【0056】(4-6) 第1のブロックユニットの一端と内部電源線との間に、メモリセルの強誘電体キャパシタとは別の強誘電体キャパシタ、或いは常誘電体キャパシタが接続され、第2のブロックユニットの一端と内部電源線との間に、メモリセルの強誘電体キャパシタとは別の強誘電体キャパシタ、或いは常誘電体キャパシタが接続されること。

【0057】(4-7) セルトランジスタのゲートはワード線に接続されること。

(4-8) スタンドバイ時、セルトランジスタのドレイン、ソース端子は0Vになること。

(4-9) 第1、第2のビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンドバイ時に(1/2)VBLHにプリチャージされること。

【0058】(4-10) メモリセルの読み出しセル信号は、第1の増幅用トランジスタで増幅されて第2ビット線に読み出されるか、或いは第2の増幅用トランジスタで増幅されて第1のビット線に読み出されるか、又はその両方であること。

16

(4-11) 第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

【0059】(4-12) 1個のメモリセルで1ビットの情報を記憶すること。

(4-13) 2個のメモリセルで1ビットの情報を記憶すること。

【0060】(4-14) メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端は第1のビット線或いは第2のビット線に接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

【0061】(5) セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続された第1、第2、第3、第4のブロックユニットと、第1及び第3のブロックユニットの共通接続された各一端にゲート端子が接続され、ドレイン端子が第2のビット線に接続された第1の増幅用トランジスタと、第1及び第3のブロックユニットの共通接続された前記一端にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2及び第4のブロックユニットの共通接続された各一端にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2及び第4のブロックユニットの共通接続された前記一端にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを具備してなることを特徴とする。

【0062】(5-1) 第1、第2のビット線は対をなし、同一のセンスアンプ回路に接続されること。

(5-2) 第1のブロックユニットの他端は第1のプレート線に接続され、第2のブロックユニットの他端は第2のプレート線に接続されること。

【0063】(5-3) 第1のブロックユニットの他端は、第1選択用トランジスタを介して第1のプレート線に接続され、第2のブロックユニットの他端は、第2の選択用トランジスタを介して第1のプレート線に接続され、第3のブロックユニットの他端は、第3の選択用トランジスタを介して第2のプレート線に接続され、第4のブロックユニットの他端は、第4の選択用トランジスタを介して第2のプレート線に接続されること。

【0064】(5-4) 第1のブロックユニットの他端は第1のプレート線に接続され、第2のブロックユニットの他端は第2のプレート線に接続され、第3のブロックユニットの他端は第3のプレート線に接続され、第4のブロックユニットの他端は第4のプレート線に接続されること。

【0065】(5-5) 第1のブロックユニットの他端は、第1の選択用トランジスタを介して第1のプレート線に接続され、第2のブロックユニットの他端は、第2の選択用トランジスタを介して第2のプレート線に接続され、第3のブロックユニットの他端は、第3の選択用トランジスタを介して第3のプレート線に接続され、第4のブロックユニットの他端は、第4の選択用トランジスタを介して第4のプレート線に接続されること。

【0066】(5-6) 第1のブロックユニットの一端と内部電源線との間に、メモリセルの強誘電体キャパシタとは別の強誘電体キャパシタ、或いは常誘電体キャパシタが接続され、第2のブロックユニットの一端と内部電源線との間に、メモリセルの強誘電体キャパシタとは別の強誘電体キャパシタ、或いは常誘電体キャパシタが接続されること。

【0067】(5-7) セルトランジスタのゲートはワード線に接続されること。

(5-8) スタンドバイ時、セルトランジスタのドレイン、ソース端子は0Vになること。

(5-9) 第1、第2のビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンドバイ時に(1/2)VBLHにプリチャージされること。

【0068】(5-10) メモリセルの読み出しセル信号は、第1の増幅用トランジスタで増幅されて第2ビット線に読み出されるか、或いは第2の増幅用トランジスタで増幅されて第1のビット線に読み出されるか、又はその両方であること。

(5-11) 第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

【0069】(5-12) 1個のメモリセルで1ビットの情報を記憶すること。

(5-13) 2個のメモリセルで1ビットの情報を記憶すること。

【0070】(5-14) メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端は第1のビット線或いは第2のビット線に接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出

し時は増幅用トランジスタに流れる電流より大きいこと。

【0071】(6) セルブロックを複数配設してメモリセルアレイを構成した半導体記憶装置であって、前記セルブロックは、セルトランジスタと強誘電体キャパシタを並列接続してなる不揮発性のメモリセルが複数個直列接続された第1、第2のブロックユニットと、第1及び第2のブロックユニットの共通接続された各一端にゲート端子が接続され、ドレイン端子がビット線に接続された増幅用トランジスタと、第1及び第2のブロックユニットの共通接続された各一端にソース端子が接続され、ドレイン端子が前記ビット線に接続された書き込み用トランジスタとを具備してなることを特徴とする。

【0072】(6-1) 第1のブロックユニットの他端は第1のプレート線に接続され、第2のブロックユニットの他端は第2のプレート線に接続されること。

(6-2) 第1のブロックユニットの他端は第1の選択用トランジスタを介して第1のプレート線に接続され、第2のブロックユニットの他端は第2の選択用トランジスタを介して第2のプレート線に接続されること。

【0073】(6-3) 第1のブロックユニットの一端と内部電源線との間に、メモリセルの強誘電体キャパシタとは別の強誘電体キャパシタ、或いは常誘電体キャパシタが接続されること。

【0074】(6-4) セルトランジスタのゲートはワード線に接続されること。

(6-5) スタンドバイ時、セルトランジスタのドレイン、ソース端子は0Vになること。

(6-6) ビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンドバイ時に(1/2)VBLHにプリチャージされること。

(6-6) 第1、第2のビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンドバイ時に(1/2)VBLHにプリチャージされること。

【0075】(6-7) メモリセルの読み出しセル信号は、増幅用トランジスタで増幅されてビット線に読み出され、ビット線からメモリセルへのデータの書き込みは書き込み用トランジスタを介して行うこと。

(6-8) メモリセルの読み出しセル信号は、第1の増幅用トランジスタで増幅されて第2ビット線に読み出されるか、或いは第2の増幅用トランジスタで増幅されて第1のビット線に読み出されるか、又はその両方であること。

【0076】(6-9) 第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

【0077】(6-10) 1個のメモリセルで1ビットの情報を記憶すること。

19

(6-11) 2個のメモリセルで1ビットの情報を記憶すること。

【0078】(6-12)メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端はビット線に接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

【0079】(7) 強誘電体キャパシタを用いた不揮発性のメモリセルを用いた半導体記憶装置であって、ワード線をゲート端子に接続したセルトランジスタに強誘電体キャパシタを並列接続して不揮発性のメモリセルを構成し、前記メモリセルを複数個直列接続したブロックユニットと少なくとも1つの選択トランジスタを直列接続してセルブロックを構成し、前記複数のセルブロックと、各セルブロックの一端が表面に接続されるサブビット線と、該サブビット線に入力端が接続され、出力端がビット線に接続される増幅回路とを含んでセルセグメントを構成し、前記ビット線の複数本と、該ビット線の各々に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

【0080】(8) 強誘電体キャパシタを用いた不揮発性のメモリセルを用いた半導体記憶装置であって、ワード線をゲート端子に接続したセルトランジスタに強誘電体キャパシタを並列接続して不揮発性のメモリセルを構成し、前記メモリセルを複数個直列接続したブロックユニットと少なくとも1つの選択トランジスタを直列接続してそれぞれ複数の第1、第2のセルブロックを構成し、第1、第2のセルブロックと、第1のセルブロックの各一端に接続される第1のサブビット線と、第2のセルブロックの各一端に接続される第2のサブビット線と、第1のサブビット線にゲート端子が接続され、ドレイン端子が第2のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線と対を成す第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

20

【0081】(8-1)セルセグメントにおいて、第1のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第1のプリチャージ用トランジスタと、第2のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第2のプリチャージ用トランジスタを含むこと。

【0082】(8-2)セルアレイにおいて、第1のビット線と第2のビット線が同一のセンスアンプに接続され、センスアンプがワード線方向に複数配設されること。

(8-3)セルブロックの他端はプレート電極に接続されること。

【0083】(8-4)第1のサブビット線に読み出されたメモリセルのセル信号は、第1の増幅用トランジスタで増幅されて第2ビット線に読み出され、第2のサブビット線に読み出されたメモリセルのセル信号は、第2の増幅用トランジスタで増幅されて第1のビット線に読み出されること。

【0084】(8-5)第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

【0085】(8-6)第1、第2のビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に(1/2)VBLHにプリチャージされること。

(8-7)選択されたセルセグメントにおける第1、第2のサブビット線のいずれか一方或いは両方は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に0Vにプリチャージされること。

【0086】(8-8)1個の前記メモリセルで1ビットの情報を記憶すること。

(8-9)2個のメモリセルで1ビットの情報を記憶すること。

【0087】(8-10)第1の増幅用トランジスタのドレイン端子は第1の読み出し用トランジスタを介して第2のビット線に接続され、第2の増幅用トランジスタのドレイン端子は第2の読み出し用トランジスタを介して第1のビット線に接続されること。

【0088】(8-11)メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端は第1のビット線或いは第2のビット線に接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

21

【0089】(9) 強誘電体キャパシタを用いた不揮発性のメモリセルを用いた半導体記憶装置であって、ワード線をゲート端子に接続したセルトランジスタに強誘電体キャパシタを並列接続して不揮発性のメモリセルを構成し、前記メモリセルを複数個直列接続したブロックユニットと少なくとも1つの選択トランジスタを直列接続してそれぞれ複数の第1、第2のセルブロックを構成し、第1、第2のセルブロックと、第1のセルブロックの各一端に接続される第1のサブビット線と、第2のセルブロックの各一端に接続される第2のサブビット線と、第1のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線と対を成す第2のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

【0090】(9-1) セルセグメントにおいて、第1のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第1のプリチャージ用トランジスタと、第2のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第2のプリチャージ用トランジスタとを含むこと。

【0091】(9-2) セルアレイにおいて、第1のビット線と第2のビット線が同一のセンスアンプに接続され、センスアンプがワード線方向に複数配設されること。
(9-3) セルブロックの他端はプレート電極に接続されること。

【0092】(9-4) 第1のサブビット線に読み出されたメモリセルのセル信号は、第1の増幅用トランジスタで増幅されて第1ビット線に読み出され、第2のサブビット線に読み出されたメモリセルのセル信号は、第2の増幅用トランジスタで増幅されて第2のビット線に読み出されること。

【0093】(9-5) 第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

【0094】(9-6) 第1、第2のビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に(1/2)VBLHにプリチャージされること。

22

(9-7) 選択されたセルセグメントにおける第1、第2のサブビット線のいずれか一方或いは両方は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に0Vにプリチャージされること。

【0095】(9-8) 1個の前記メモリセルで1ビットの情報を記憶すること。

(9-9) 2個のメモリセルで1ビットの情報を記憶すること。

【0096】(9-10) 第1の増幅用トランジスタのドレイン端子は第1の読み出し用トランジスタを介して第1のビット線に接続され、第2の増幅用トランジスタのドレイン端子は第2の読み出し用トランジスタを介して第2のビット線に接続されること。

【0097】(9-11) メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端は第1のビット線或いは第2のビット線に接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

【0098】(10) 強誘電体キャパシタを用いたフハッセイのメモリセルを用いた半導体記憶装置であって、ワード線にゲート端子が接続され、ドレイン端子がサブビット線に接続されたセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に他端を接続された強誘電体キャパシタとから1個の不揮発性メモリセルを構成し、前記サブビット線と、該サブビット線に複数接続される前記メモリセルと、前記サブビット線に入力端が接続され、出力端がビット線に接続された増幅回路とを含んでセルセグメントを構成し、前記ビット線の複数本と、該ビット線の各々に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

【0099】(11) 強誘電体キャパシタを用いたフハッセイのメモリセルを用いた半導体記憶装置であって、ワード線にゲート端子が接続され、ドレイン端子が第1或いは第2のサブビット線に接続されセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された強誘電体キャパシタとから1個の不揮発性メモリセルを構成し、第1及び第2のサブビット線と、第1のサブビット線の各々に接続される複数の前記メモリセルと、第2のサブビット線の各々に接続される前記複数のメモリセルと、第1のサブビット線にゲート端子が接続され、ドレイン端子が第2のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン

23

端子が第2のビット線と対を成す第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

【0100】(11-1)セルセグメントにおいて、第1のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第1の読み出し用トランジスタと、第2のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第2の読み出し用トランジスタとを含むこと。

(11-2)セルアレイにいて、第1のビット線と第2のビット線が同一のセンスアンプに接続され、センスアンプがワード線方向に複数配設されていること。

【0101】(11-3)第1のサブビット線に読み出されたメモリセルのセル信号は第1の増幅用トランジスタで増幅されて第2ビット線に読み出され、第2のサブビット線に読み出されたメモリセルのセル信号は第2の増幅用トランジスタで増幅されて第1のビット線に読み出されること。

(11-4)第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

【0102】(11-5)第1、第2のビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に(1/2)VBLHにプリチャージされること。

(11-6)選択されたセルセグメントにおける第1、第2のサブビット線のいずれか一方或いは両方は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に0Vにプリチャージされること。

【0103】(11-7)1個のメモリセルで1ビットの情報を記憶すること。

(11-8)2個のメモリセルで1ビットの情報を記憶すること。

【0104】(11-9)第1の増幅用トランジスタのドレイン端子は、第1の読み出し用トランジスタを介して第2のビット線に接続され、第2の増幅用トランジスタのドレイン端子は、第2の読み出し用トランジスタを介して第1のビット線に接続されること。

【0105】(11-10)メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端は第1のビット線或いは第2のビット線接続され、他端は接地電源線或いは内部

24

電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

【0106】(12)強誘電体キャパシタを用いた不揮発性のメモリセルを用いた半導体記憶装置であって、ワード線にゲート端子が接続され、ドレイン端子が第1或いは第2のサブビット線に接続されセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された強誘電体キャパシタとから1個の不揮発性メモリセルを構成し、第1及び第2のサブビット線と、第1のサブビット線の各々に接続される複数の前記メモリセルと、第2のサブビット線の各々に接続される前記複数のメモリセルと、第1のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線と対を成す第2のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

【0107】(12-1)セルセグメントにおいて、第1のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第1の読み出し用トランジスタと、第2のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第2の読み出し用トランジスタとを含むこと。

(12-2)セルアレイにいて、第1のビット線と第2のビット線が同一のセンスアンプに接続され、センスアンプがワード線方向に複数配設されていること。

【0108】(12-3)第1のサブビット線に読み出されたメモリセルのセル信号は、第1の増幅用トランジスタで増幅されて第1ビット線に読み出され、第2のサブビット線に読み出されたメモリセルのセル信号は、第2の増幅用トランジスタで増幅されて第2のビット線に読み出されること。

【0109】(12-4)第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

【0110】(12-5)第1、第2のビット線は、アクティ

25

ブ時に0VからVBLHの間を振幅し、スタンバイ時に(1/2)VBLHにプリチャージされること。

(12-6)選択されたセルセグメントにおける第1、第2のサブビット線のいずれか一方或いは両方は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に0Vにプリチャージされること。

【0111】(12-7)1個のメモリセルで1ビットの情報を記憶すること。

(12-8)2個のメモリセルで1ビットの情報を記憶すること。

【0112】(12-9)第1の増幅用トランジスタのドレイン端子は、第1の読み出し用トランジスタを介して第1のビット線に接続され、第2の増幅用トランジスタのドレイン端子は、第2の読み出し用トランジスタを介して第2のビット線に接続されること。

【0113】(12-10)メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端は第1のビット線或いは第2のビット線に接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

【0114】(13)トランジスタとキャパシタからなるメモリセルを用いた半導体記憶装置であって、ワード線にゲート端子が接続され、ドレイン端子がサブビット線に接続されたセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された常誘電体キャパシタとから1個のメモリセルを構成し、前記サブビット線と、該サブビット線に複数接続される前記メモリセルと、前記サブビット線に入力端が接続され、出力端がビット線に接続された増幅回路とを含んでセルセグメントを構成し、前記ビット線の複数本と、該ビット線の各々に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

【0115】(14)トランジスタとキャパシタからなるメモリセルを用いた半導体記憶装置であって、ワード線にゲート端子が接続され、ドレイン端子が第1或いは第2のサブビット線に接続されたセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された常誘電体キャパシタとから1個のメモリセルを構成し、第1及び第2のサブビット線と、第1のサブビット線の各々に接続される複数の前記メモリセルと、第2のサブビット線の各々に接続される複数の前記メモリセルと、第1のサブビット線にゲート端子が接続され、ドレイン端子が第2のビット線に接

26

続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線と対を成す第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

【0116】(14-1)セルセグメントにおいて、第1のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第1の読み出し用トランジスタと、第2のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第2の読み出し用トランジスタとを含むこと。

(14-2)セルアレイにいて、第1のビット線と第2のビット線が同一のセンスアンプに接続され、センスアンプがワード線方向に複数配設されていること。

【0117】(14-3)第1のサブビット線に読み出されたメモリセルのセル信号は第1の増幅用トランジスタで増幅されて第2ビット線に読み出され、第2のサブビット線に読み出されたメモリセルのセル信号は第2の増幅用トランジスタで増幅されて第1のビット線に読み出されること。

(14-4)第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

【0118】(14-5)第1、第2のビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に(1/2)VBLHにプリチャージされること。

(14-6)選択されたセルセグメントにおける第1、第2のサブビット線のいずれか一方或いは両方は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に0Vにプリチャージされること。

【0119】(14-7)1個のメモリセルで1ビットの情報を記憶すること。

(14-8)2個のメモリセルで1ビットの情報を記憶すること。

【0120】(14-9)第1の増幅用トランジスタのドレイン端子は、第1の読み出し用トランジスタを介して第2のビット線に接続され、第2の増幅用トランジスタのドレイン端子は、第2の読み出し用トランジスタを介して第1のビット線に接続されること。

【0121】(14-10)メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニット

27

を含み、ダミーユニットの一端は第1のビット線或いは第2のビット線接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

【0122】(15) トランジスタとキャパシタからなるメモリセルを用いた半導体記憶装置であって、ワード線にゲート端子が接続され、ドレイン端子が第1或いは第2のサブビット線に接続されたセルトランジスタと、このセルトランジスタのソース端子に一端が接続され、他端がプレート線に接続された常誘電体キャパシタとから1個のメモリセルを構成し、第1及び第2のサブビット線と、第1のサブビット線の各々に接続される複数の前記メモリセルと、第2のサブビット線の各々に接続される前記複数のメモリセルと、第1のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線に接続された第1の増幅用トランジスタと、第1のサブビット線にソース端子が接続され、ドレイン端子が第1のビット線に接続された第1の書き込み用トランジスタと、第2のサブビット線にゲート端子が接続され、ドレイン端子が第1のビット線と対を成す第2のビット線に接続された第2の増幅用トランジスタと、第2のサブビット線にソース端子が接続され、ドレイン端子が第2のビット線に接続された第2の書き込み用トランジスタとを含んでセルセグメントを構成し、第1及び第2のビット線の複数対と、該ビット線対に接続される複数のセルセグメントとをワード線方向に配設してメモリセルアレイを構成してなることを特徴とする。

【0123】(15-1)セルセグメントにおいて、第1のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第1の読み出し用トランジスタと、第2のサブビット線にドレイン端子が接続され、ソース端子が接地線或いは内部電源線に接続された第2の読み出し用トランジスタとを含むこと。

(15-2)セルアレイにいて、第1のビット線と第2のビット線が同一のセンスアンプに接続され、センスアンプがワード線方向に複数配設されていること。

【0124】(15-3)第1のサブビット線に読み出されたメモリセルのセル信号は、第1の増幅用トランジスタで増幅されて第1ビット線に読み出され、第2のサブビット線に読み出されたメモリセルのセル信号は、第2の増幅用トランジスタで増幅されて第2のビット線に読み出されること。

(15-4)第1のビット線からメモリセルへのデータの書き込みは第1の書き込み用トランジスタを介して行い、第2のビット線からメモリセルへのデータの書き込みは第2の書き込み用トランジスタを介して行うこと。

28

【0125】(15-5)第1、第2のビット線は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に(1/2)VBLHにプリチャージされること。

(15-6)選択されたセルセグメントにおける第1、第2のサブビット線のいずれか一方或いは両方は、アクティブ時に0VからVBLHの間を振幅し、スタンバイ時に0Vにプリチャージされること。

【0126】(15-7)1個のメモリセルで1ビットの情報を記憶すること。

(15-8)2個のメモリセルで1ビットの情報を記憶すること。

【0127】(15-9)第1の増幅用トランジスタのドレイン端子は、第1の読み出し用トランジスタを介して第1のビット線に接続され、第2の増幅用トランジスタのドレイン端子は、第2の読み出し用トランジスタを介して第2のビット線に接続されること。

【0128】(15-10)メモリセルアレイにはダミーセルが含まれ、ダミーセルは、少なくとも1個以上複数直列接続されたトランジスタから構成されるダミーユニットを含み、ダミーユニットの一端は第1のビット線或いは第2のビット線接続され、他端は接地電源線或いは内部電源線に接続され、ダミーユニットを構成するトランジスタのゲート電圧を制御することにより、ダミーユニットを流れる電流は、“1”データ読み出し時は増幅用トランジスタに流れる電流より小さく、“0”データ読み出し時は増幅用トランジスタに流れる電流より大きいこと。

【0129】(作用)本発明(請求項1~4)よれば、強誘電体キャパシタとセルトランジスタを並列接続して、1セルとしてこれを複数直列接続して、ブロックユニットを構成することにより、4F²サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能となる。さらに、このブロックユニットの一端を増幅トランジスタのゲートに入力して、ドレイン端子をビット線に接続することにより、メモリセルの分極反転読み出しにより、ブロックユニットの一端に読み出されたデータを増幅して、ビット線に伝えることができる。

【0130】高密度化して、セルの強誘電体キャパシタ面積が縮小し、メモリセルの強誘電体キャパシタの分極量が減少しても、それに対応してブロックユニットの一端の負荷容量を小さくでき、この効果により、ブロックユニットの一端に読み出される電荷は小さくなるが、十分大きな読み出し信号電圧を確保できる。この信号を前記増幅トランジスタを用いて、このトランジスタのドレイン端子をビット線に接続することにより、負荷容量の大きなビット線の電位を放電してやれば、正常にメモリ動作が実現できる。増幅後、書き込みトランジスタをONしてやることにより、データの再書き込みが容易に実

現できる。

【0131】従来の自己増幅機能のあるメモリセルでは安定動作、正常動作させるには、メモリセル面積が非常に大きくなる問題点があったが、本発明によれば、1個のブロックユニット内のセル数を増加するほど、複数のメモリセルで、前記増幅トランジスタと書き込みトランジスタを共用でき、セルサイズのオーバーヘッドを小さなものにできる。さらに、ビット線につながるセルブロック数をいくら多くしても、基本的に時間さえ許せばビット線に読み出す信号を確保できるため、センスアンプ回路数を大幅に低減できる効果があり、チップサイズの増大を抑え、設計によってはチップサイズを先願より小さくできる。

【0132】ブロックユニットの一端に読み出される信号は大きいままだが、その反面電荷が小さくなり、この読み出し時のソフトエラーが問題となる。従来の自己増幅機能を有するメモリセルでは、この問題は致命的であるが、本発明においては、設計ルールが緩く、ソフトエラーが厳しい状況では、ブロックユニットの一端に大きな負荷容量を追加してやれば、この問題はクリアできる。この負荷容量も複数のセルで共有できるため、オーバーヘッドを抑えることができるし、設計ルールが小さくなるに従って、ソフトエラーレートが下がるに従って小さくすることができる。

【0133】このように本発明により、製造容易な平面強誘電体キャパシタでも高密度の強誘電体メモリ動作が実現できる。

【0134】本発明（請求項5，6）によれば、請求項1～4の効果に加え、第1に、2つのブロックユニットで増幅トランジスタと書き込みトランジスタを共有するため、さらに1セル当りのオーバーヘッドを小さくできる。第2に、選択したブロックユニット内の選択したメモリセルの位置により、ブロックユニットの一端の負荷容量が大きく変化する問題が請求項1～4にはあり、安定動作には余分な負荷容量を追加する必要性が生じるが、本発明によれば、一方のブロックユニット選択時に他方のブロックユニットの内部容量が負荷容量になるため、請求項1～4よりも安定な動作が可能になるし、余分な負荷容量を追加する必要性が必ずしも生じない。これにより、安定動作とセルサイズのオーバーヘッドを防げる。

【0135】第3に、ブロックユニットの一端に読み出される信号は大きいままだが、その反面電荷が小さくなり、ソフトエラー増加する問題に対して設計ルールが緩く、ソフトエラーが厳しい状況では、ブロックユニット内の直列セル数を多くすれば、自動的に負荷容量を確保できる。さらに、設計ルールが小さくなるに従ってセル分極量が2乗で減り、読み出し電荷が減り、ソフトエラーレートが下がるに従って直列接続数を減らせば、ブロックユニットの一端に読み出される信号を確保できる。このように、ソフトエラーの下限考慮しつつ直列セル数を

選べば、ソフトエラーの問題は回避できる。

【0136】このように本発明により、製造容易な平面強誘電体キャパシタでも高密度の強誘電体メモリ動作が実現できる。

【0137】本発明（請求項7～9）によれば、強誘電体キャパシタとセルトランジスタを並列接続して、1セルとしてこれを複数直列接続して、さらに選択トランジスタを介して、サブビット線に接続してセルブロックを構成することにより、 $4F^2$ サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能となる。さらに、サブビット線と、これに接続される複数のセルブロックと、サブビット線をゲートに入力して、ドレイン端子をビット線に接続する増幅トランジスタを、含む素子でセルセグメントを構成することにより、メモリセルの分極反転読み出しにより、サブビット線に読み出されたデータを増幅して、ビット線に伝えることができる。

【0138】高密度化して、セルの強誘電体キャパシタ面積が縮小し、メモリセルの強誘電体キャパシタの分極量が減少しても、それに対応して1個のセルセグメント内のセルブロック数を減少させてやれば、サブビット線に読み出される電荷は小さくなるが、十分大きな読み出し信号電圧を確保できる。この信号電圧を前記増幅トランジスタを用いて、このトランジスタのドレイン端子をビット線に接続することにより、負荷容量の大きなビット線の電位を放電してやれば、正常にメモリ動作が実現できる。増幅後、書き込みトランジスタをONしてやることにより、ビット線からサブビット線へ、さらにメモリセルへのデータの再書き込みが容易に実現できる。

【0139】従来の自己増幅機能のあるメモリセルでは安定動作、正常動作させるには、メモリセル面積が非常に大きくなる問題点があったが、本発明によれば、1個のセルセグメント内のセルブロック数を増加するほど、複数のメモリセルで、前記増幅トランジスタと書き込みトランジスタを共用でき、セルサイズのオーバーヘッドを小さなものにできる。さらに、ビット線につながるセルブロック数をいくら多くしても、基本的に時間さえ許せばビット線に読み出す信号を確保できるため、センスアンプ回路数を大幅に低減できる効果があり、チップサイズの増大を抑えることができる。

【0140】ソフトエラー増加する問題に対して本発明に於いては、設計ルールが緩く、ソフトエラーが厳しい状況では、セルセグメント内のセルブロック数を多くすれば、自動的に負荷容量を確保できるし、設計ルールが小さくなるに従ってセル分極量が2乗で減り、読み出し電荷が減り、ソフトエラーレートが下がるに従ってセルブロック数を減らせば、サブビット線に読み出される信号を確保できる。このように、ソフトエラーの下限考慮しつつセルセグメント内のセル数を選べば、ソフトエラー

31

一の問題は回避できる。

【0141】このように本発明により、製造容易な平面強誘電体キャパシタでも高密度の強誘電体メモリ動作が実現できる。

【0142】本発明（請求項10～12）よれば、従来の強誘電体メモリと同じように、強誘電体キャパシタとセルトランジスタを直列接続して1セルを構成し、さらに、サブビット線と、これに接続される複数のメモリセルと、サブビット線をゲートに入力して、ドレイン端子をビット線に接続する増幅トランジスタを、含む素子でセルセグメントを構成することにより、メモリセルの分極反転読み出しにより、サブビット線に読み出されたデータを増幅して、ビット線に伝えることができる。

【0143】高密度化して、セルの強誘電体キャパシタ面積が縮小し、メモリセルの強誘電体キャパシタの分極量が減少しても、それに対応して1個のセルセグメント内のセル数を減少させてやれば、サブビット線に読み出される、電荷は小さくなるが、十分大きな読み出し信号電圧を確保できる。この信号を前記増幅トランジスタを用いて、このトランジスタのドレイン端子をビット線に接続することにより、負荷容量の大きなビット線の電位を放電してやれば、正常にメモリ動作が実現できる。増幅後、書き込みトランジスタをONしてやることにより、ビット線から、サブビット線へ、さらにメモリセルへのデータの再書き込みが容易に実現できる。

【0144】従来の自己増幅機能のあるメモリセルでは、安定動作、正常動作させるには、メモリセル面積が非常に大きくなる問題点があったが、本発明によれば、1個のセルセグメント内のセル数を増加するほど、複数のメモリセルで、前記増幅トランジスタと書き込みトランジスタを共用でき、セルサイズのオーバーヘッドを小さなものにできる。さらに、ビット線につながるセルブロック数をいくら多くしても、基本的に時間さえ許せばビット線に読み出す信号を確保できるため、センスアンプ回路数を大幅に低減できる効果があり、チップサイズの増大を抑えることができる。

【0145】ソフトエラー増加する問題に対して本発明においては、設計ルールが緩くソフトエラーが厳しい状況では、セルセグメント内のセル数を多くすれば、自動的に負荷容量を確保できるし、設計ルールが小さくなるに従ってセル分極量が2乗で減り、読み出し電荷が減り、ソフトエラーレートが下がるに従ってセル数を減らせば、サブビット線に読み出される信号を確保できる。このように、ソフトエラーの下限考慮しつつセルセグメント内のセル数を選べば、ソフトエラーの問題は回避できる。

【0146】このように本発明により、製造容易な平面強誘電体キャパシタでも高密度の強誘電体メモリ動作が実現できる。

【0147】本発明（請求項13～15）よれば、従来

32

のDRAMと同じように、常誘電体キャパシタとセルトランジスタを直列接続して1セルを構成し、さらに、サブビット線と、これに接続される複数のメモリセルと、サブビット線をゲートに入力して、ドレイン端子をビット線に接続する増幅トランジスタを、含む素子でセルセグメントを構成することにより、メモリセルからサブビット線に読み出されたデータを増幅して、ビット線に伝えることができる。

【0148】高密度化して、セルのキャパシタ面積が縮小し、メモリセルの蓄積容量が減少しても、それに対応して1個のセルセグメント内のセル数を減少させてやれば、サブビット線に読み出される電荷は小さくなるが、十分大きな読み出し信号電圧を確保できる。この信号を前記増幅トランジスタを用いて、このトランジスタのドレイン端子をビット線に接続することにより、負荷容量の大きなビット線の電位を放電してやれば、正常にメモリ動作が実現できる。増幅後、書き込みトランジスタをONしてやることにより、ビット線からサブビット線へ、さらにメモリセルへのデータの再書き込みが容易に実現できる。

【0149】従来の自己増幅機能のあるメモリセルでは、安定動作、正常動作させるには、メモリセル面積が非常に大きくなる問題点があったが、本発明によれば、1個のセルセグメント内のセル数を増加するほど、複数のメモリセルで、前記増幅トランジスタと書き込みトランジスタを共用でき、セルサイズのオーバーヘッドを小さなものにできる。さらに、ビット線につながるセルブロック数をいくら多くしても、基本的に時間さえ許せばビット線に読み出す信号を確保できるため、センスアンプ回路数を大幅に低減できる効果があり、チップサイズの増大を抑えることができる。

【0150】ソフトエラー増加する問題に対して本発明においては、設計ルールが緩く、ソフトエラーが厳しい状況では、セルセグメント内のセル数を多くすれば、自動的に負荷容量を確保できるし、設計ルールが小さくなるに従ってセル分極量が2乗で減り、読み出し電荷が減り、ソフトエラーレートが下がるに従ってセル数を減らせば、サブビット線に読み出される信号を確保できる。このように、ソフトエラーの下限考慮しつつセルセグメント内のセル数を選べば、ソフトエラーの問題は回避できる。

【0151】但し、セル容量低下により、セル面積が減少した分pn接合面積も縮小するため、データリテンションは一定を保ち、従来のDRAMのような世代毎に2倍に $t_{RE Fmax}$ （データ保持時間）を増加することはできない。しかし、欠陥密度の低下、SOI等のデータリテンションを良くする構造を実現することにより、この問題点は回避可能となる。

【0152】

【発明の実施の形態】まず、発明の実施形態を説明する

前に、本発明者らが既に提案した先願について説明する。

【0153】(従来の技術)の項で説明した第1, 第2の大きな問題点に対して本発明者らは、特願平9-153137号において、不揮発性の強誘電体メモリで、(1) 小さい4F²サイズのメモリセル、(2) 製造が容易な平面トランジスタ、(3) 汎用性のあるランダムアクセス機能、の3点が両立でき、しかもPL電位固定で高速化を保ちつつ、スタンバイ中でもデータ保持が可能でリフレッシュ動作を不要とする半導体記憶装置を既に提供している。さらに、特願平9-346404号においては、PL駆動方式であっても、高速動作が実現できる半導体記憶装置を既に提案している。

【0154】先願の概要を簡単に述べる。図231に、特願平9-153137号の発明のメモリセルの構成回路とセル構造、図232にその動作例を示す。図231(a)に等価回路図、(b)に素子構造断面図を示すように、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1つのメモリセルブロックは、この並列接続のメモリセルを複数直列接続して、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続される。この構成により、平面トランジスタを用いて、4F²サイズのメモリセルが実現できる。

【0155】図232(a)に示すように、スタンバイ時には、全てのメモリセルトランジスタをONにしておき、ブロック選択トランジスタをOFFにしておく。こうすることにより、強誘電体キャパシタの両端は、ONしているセルトランジスタにより電氣的にショートされるため、両端の電位差は発生しない。よって、“1”の分極データは、図232(a)のヒステリシス曲線の“1”の点、“0”の分極データは、ヒステリシス曲線の“0”の点に安定に保持される。これにより、スタンバイ時、pn接合リーク等の各種リーク電流があらうと、プレートの駆動方式が、0V~V_{dd}駆動方式であらうと、(1/2)V_{dd}固定方式であらうと、セルデータは安全に保持される。

【0156】図232(b)に示すように、アクティブ時は、読み出したい強誘電体キャパシタに並列に接続されるメモリセルトランジスタのみOFFにして、ブロック選択トランジスタをONにする。この時、PLとBL間の電位差が、OFFしたメモリセルトランジスタに並列接続した強誘電体キャパシタの両端にのみ印加され、強誘電体キャパシタの分極情報がビット線に読み出される。よって、セルを直列接続しても、任意のワード線を選択することにより、任意の強誘電体キャパシタのセル情報が読み出され、完全なランダムアクセスが実現できるわけである。これにより、図231に示すセルブロックにより、オープンBL構成が実現できる。

【0157】図231に示すセルブロックを2個対にし

て、各々をビット線対(/BL, BL)のどちらかに接続して、2個のセルブロックで同じワード線に接続される2個のメモリセルを組みにして、2トランジスタ/2強誘電体キャパシタ(=2T/2C)で1ビットを記憶すれば、フォールデッドBL方式が実現できる。また、図233に示すように、ブロック選択トランジスタを2個直列接続して、一方をデプレッション型トランジスタにし、ブロック選択トランジスタ(BS0, BS1)のどちらか一方をHighにすると、2つのセルブロックの一方のデータしかビット線に読み出されず、ビット線対の他方をリファレンスビット線にすれば、これもフォールデッドBL構成が実現できる。この場合、プレート電極は、(1/2)V_{dd}に固定される。図233の下図はフォールデッドBL方式の動作例に示す。

【0158】また、特願平9-346404号においては、PL駆動方式であっても、高速動作及び非選択メモリセルへのノイズを無くすることができる半導体記憶装置を既に提供している。これを図234に示す。図233と比べて、PL線を2種類に分割している。例えば、下図の動作例に示すように、/BLに接続するセルを選択する場合、PL(/BL)のみを0VからV_{dd}に駆動して、PL(BL)は0V固定のままである。これにより、図233において同様に/BLに接続するセルを選択した場合で、PLを駆動した場合BLに接続され、選択ワード線をOFFした時に同じ選択ワード線に接続され、BL側に接続されるセルに、PL駆動により、セルトランジスタがOFFしているため、セルの強誘電体キャパシタに不要な電圧が印加さえるのを防ぐことができる。

【0159】しかしながら、上記した先願においても先に説明したように、高密度化してメモリセルの1個1個の強誘電体キャパシタ面積が縮小した場合、メモリセル1個1個当りの強誘電体キャパシタの分極量が減少してしまい、結果として読み出し信号電圧が低下して、大容量化、高密度化が困難になる大きな問題点を抱えている。

【0160】以下、本発明の詳細を図示の実施形態によつて説明する。

【0161】(第1の実施形態)図1は、本発明の第1の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのセルブロック構成を示している。本実施形態は、先願である特願平9-153137号及び特願平9-346404号と同様に、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、セルトランジスタのゲートは、ワード線WLA0~WLA3, WLB0~WLB3に接続される。

【0162】1つのメモリセルのブロックユニットは、4個の直列接続されたメモリセルで構成されている。こまでは先願と同じである。本実施形態においては、1

35

個のセルブロックは4個のブロックユニットによって構成され、左上のブロックユニットと右上のブロックユニットはサブビット線(／SBL)に接続され、左下のブロックユニットと右上のブロックユニットはサブビット線(SBL)に接続される。左上のブロックユニットはトランジスタQ1を介してプレート線／PLAに接続され、左下のブロックユニットはトランジスタQ2を介してPLAに接続され、右上のブロックユニットはトランジスタQ3を介してプレート線／PLBに接続され、右下のブロックユニットはトランジスタQ4を介してPLBに接続されている。

【0163】トランジスタQ5は、サブビット線／SBLをゲート入力として、ソースをVSE電位に接続して、ドレインをビット線BLに接続しており、このトランジスタQ5を用いて／SBLの電位を増幅してビット線BLに伝える。トランジスタQ7は逆に、再書き込み時或いは書き込み時、ブロック書き込み選択信号BS0をHighにして、ビット線／BLからの書き込み電位を、トランジスタQ7を介してサブビット線／SBLに伝え、セルにデータを再書き込みするのに用いている。

【0164】トランジスタQ6は、サブビット線(SBL)をゲート入力として、ソースをVSE電位に接続して、ドレインをビット線／BLに接続しており、このトランジスタQ6を用いてSBLの電位を増幅してビット線／BLに伝える。トランジスタQ8は逆に、再書き込み時或いは書き込み時、ブロック書き込み選択信号BS1をHighにして、ビット線BLからの書き込み電位を、トランジスタQ8を介してサブビット線SBLに伝え、セルにデータを再書き込みするのに用いている。

【0165】図2は、図1の具体的な動作例を示す信号波形図であり、特にセルトランジスタQ9と強誘電体キャパシタCF1で構成されるメモリセルのデータを読み出し、再書き込みする場合の動作例を示している。

【0166】まず、スタンバイ時は、全てのワード線WLA0～3、WLB0～3は昇圧電位Vpp、全てのプレート／PLA、PLA、／PLB、PLBは0V、プレート選択信号PSA、PLBをVppにしておくことにより、セルトランジスタは全てONしており、全てのセルの強誘電体キャパシタの両端は電氣的にショートされて、さらにこの両端の電位及びサブビット線／SBL、SBLの電位は、プレート選択信号がHighのため、プレートに接続され0Vになっている。また、ブロック書き込み選択信号BS0、BS1は0Vにしておくことにより、トランジスタQ7、Q8はOFFしており、／SBL、SBLが0V、VSEが0Vのため、増幅トランジスタQ5、Q6もOFFしている。よって、ビット線／BL、BLとサブビット線／SBL、SBLは完全に分離されている。

【0167】ビット線／BL、BLは従来FRAMにおいては、0Vにプリチャージする必要があったが、本実

36

施形態においては、従来DRAMと同様に、(1/2)VBLHにプリチャージすることができる。ここで、VBLHはビット線振幅のHighレベルを示す。

【0168】動作時は、選択したセルブロックの例えば、左上のブロックユニットのメモリセル(Q9、CF1)選択時の動作を説明する。まず、選択メモリセルにつながるワード線WLA0を0Vに下げセルトランジスタQ9をOFFする。同時に、或いは前後して、右上、右下のブロックユニットとプレート／PLB、PLBを切り離すため、プレート選択信号PSBを0Vに下げトランジスタQ3、Q4をOFFする。さらに、ビット線／BL、BLを(1/2)VBLHのままフローティングにする。ここでQ1、Q2はONのままである。これにより、セルトランジスタQ9はOFF、トランジスタQ3はOFFしているため、選択したセルの強誘電体キャパシタCF1の右側の端子から／SBL、さらに右上のブロックユニットのセル内部ノードは全てつながり、かつ0Vでフローティングになる。

【0169】次に、選択した左上のブロックユニットに接続されるプレート／PLAのみを0VからVBLHに上げる。PLAから選択した強誘電体キャパシタの左側端子までVBLH電位が印加される。このとき、CF1の右側の端子から／SBL、さらに右上のブロックユニットのセル内部ノードの容量が負荷容量CLとなり、強誘電体キャパシタに“1”データが書き込んであれば、分極反転して、セルデータがサブビット線／SBL(正確には、CF1の右側の端子から／SBL、さらに、右上のブロックユニットのセル内部ノード)に読み出され／SBLの電位が0Vから2Vs+Voに上がる。

【0170】強誘電体キャパシタに“0”データが書き込んであれば、分極反転せず、CF1の常誘電体成分容量とCLの容量比分だけサブビット線／SBLの電位が上がり、／SBLの電位はVoとなる。このとき、対を成すサブビット線SBLの電位はPLAが0Vのままなので、0Vのままである。また、VSE電位を0Vに設定しておくこと、増幅トランジスタQ5のゲート電位は、“1”データ時は2Vs+Vo、“0”データ時はVo、ソース電位(=VSE)は0V、ドレイン電位(=／BL)は(1/2)VBLHとなる。

【0171】そして、トランジスタQ5のしきい値電圧VtをVo<Vt<2Vs+Voに設計しておくこと、図2に示すように、“1”データ時にトランジスタQ5はONしているため、(1/2)VBLHにプリチャージされているBLは増幅トランジスタQ5を介して、VSEに電流が流れることにより、(1/2)VBLHから電位が下がり始める。ここで、センスアンプ動作前の下がった電位を(1/2)VBLH-2Vst定義する。

【0172】逆に、“0”データ時はトランジスタQ5はOFFしているため、(1/2)VBLHにプリチャージされているBLは増幅トランジスタQ5を介して、VSEに

37

電流が流れず、 $(1/2)V_{BLH}$ のままである。このとき、定電流駆動トランジスタを用いたダミーセル等を用いて、 ／BL 電位を“1”データ時に BL 側が下がる電位の半分の電位下げるように設定すると（即ちセンス動作前、 $(1/2)V_{BLH}-V_{st}$ ）、センスアンプ動作前の“1”データ時、 BL は $(1/2)V_{BLH}-2V_{st}$ 、 ／BL は $(1/2)V_{BLH}-V_{st}$ となり、 V_{st} の電位差が図1の右のセンスアンプに入力され、フリップフロップ型のセンスアンプで増幅され、 BL は $0V$ 、 ／BL は V_{BLH} となる。また、“0”データ時、 BL は $(1/2)V_{BLH}$ 、 ／BL は $(1/2)V_{BLH}-V_{st}$ となり、 V_{st} の電位差が図1の右のセンスアンプに入力され、フリップフロップ型のセンスアンプで増幅され、 BL は V_{BLH} 、 ／BL は $0V$ となる。

【0173】なお、上記増幅トランジスタのしきい値電圧は、 $V_t < V_o$ の領域であった場合、 ／BL と BL の両方が増幅トランジスタがONして、 ／BL 、 BL 電位が下がるわけであるが、この場合でも駆動電流に大きな違いがあり、ダミーセルの駆動電流を適切に設計すれば問題無い。また、 V_{SE} の電位は $0V$ でも良いし、しきい値の補正のため、ある一定の電位でも良い（即ち、 V_{SE} を $0V$ から上げた分見かけ上増幅トランジスタのしきい値電圧を上げることができる）。

【0174】データの書き込み時、サブビット線 ／SBL に接続されるブロック書き込み制御信号 BSO のみ V_{pp} に上げる。すると、 $0V$ 或いは V_{BLH} に増幅されたビット線 ／BL の電位が ／SBL に書き込まれ、“1”データ時、 ／SBL は V_{BLH} となり、“0”データ時 ／SBL は $0V$ になる。このとき、プレート電位（＝選択強誘電体キャパシタの左側の端子）は V_{BLH} のため、“0”データ時、強誘電体キャパシタには $-V_{BLH}$ の電圧（強誘電体キャパシタの右側の端子を正と定義）が印加され、“0”データが書き込みされる。“1”データ時は、その後、プレート ／PLA が $0V$ に下げられ、選択強誘電体キャパシタの左側の端子も $0V$ になった時、強誘電体キャパシタには V_{BLH} の電圧（強誘電体キャパシタの右側の端子を正と定義）が印加され、“1”データが書き込みされる。

【0175】これら一連の動作において、 SBL 電位はずっと $0V$ のままなので、下のブロックユニットのデータは保持されたまま、安定である。例えば、外部から異なるデータを書き込む場合（Write Mode）や、データの読み出し後外部データを書き込む場合（Read Modified Write）、 BSO がHighになったあと書き込めば良い。

【0176】書き込み終了後は、まずブロック書き込み選択信号 BSO をHighから $0V$ に下げる。これにより、 ／BL 側から ／SBL への干渉はなくなる。その後、 WLAO を上げ、同時に或いは前後して、プレート制御信号 PSA を上げると、選択されていたセルの強誘電体キャパシタは電氣的にショートされ、右上、左上の

38

ブロックユニットの内部ノードと ／SBL ノードは $0V$ になる。これら動作と同時に或いは前後して、ビット線対 ／BL 、 BL を電氣的にショートしてやれば、ビット線対は $(1/2)V_{BLH}$ になり、スタンドバイ状態に戻る。

【0177】本実施形態においては、ビット線のプリチャージ電位を $(1/2)V_{BLH}$ にしているが、これができるのは、セル情報分極反転読み出すための負荷容量はサブビット線 ／SBL 、 SBL で行い、ビット線 ／BL 、 BL はセル情報分極反転読み出すための負荷容量では無いためである。このため、ビット対を電氣的にショートするだけでプリチャージ電位である $(1/2)V_{BLH}$ が得られ、ビット線の充放電による消費電力を従来DRAM同様従来FRAMの半分に低減できるし、ビット線の充放電によるノイズを低減できる。

【0178】以上、図1の回路図と図2の動作例で説明した本実施形態は、先願と同様に、強誘電体キャパシタとセルトランジスタを並列接続して、1セルとしてこれを複数直列接続して、ブロックユニットを構成することにより、 $4F^2$ サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能となる。

【0179】ここで、従来のFRAMにおいては、高密度化して設計ルールが縮小し、セルの強誘電体キャパシタ面積が設計ルールのほぼ2乗で縮小し、メモリセルの強誘電体キャパシタの分極量が減少するにも拘わらずビット線容量がそれほど減少しないため、読み出し信号量が減少して、動作が困難になる問題点があった。これに対し本実施形態では、ブロックユニットの一端を増幅トランジスタのゲートに入力して、ドレイン端子をビット線に接続することにより、メモリセルの分極反転読み出しにより、ブロックユニットの一端に読み出されたデータを増幅して、ビット線に伝えることができる。

【0180】このとき、強誘電体キャパシタが分極反転するときの負荷容量 C_L は、 $CF1$ の右側の端子から ／SBL 、さらに右上のブロックユニットのセル内部ノードの容量となり、ビット線容量に比べて大幅に小さい値を取ることができ、強誘電体キャパシタサイズが小さくなくても、 ／SBL に読み出される信号量、即ち“1”データ時 $2V_s + V_o$ 、“0”データ時 V_o の差の $1/2$ である V_s の値は、大きな値を取ることが可能になる。これを増幅トランジスタ $Q5$ で増幅するため、いくらビット線 ／BL 、 BL の容量が大きくても安定動作が可能となる。例えば、セルブロック内の容量が従来FRAMのビット線容量の $1/10$ であれば、強誘電体キャパシタの面積を $1/10$ 程度に縮小しても動作すると言うわけである。

【0181】これは逆に言うと本実施形態によれば、ビット線容量を増加しても、増幅トランジスタがビット線に読み出す信号を増幅するのに時間がかかるだけで、いくらでもビット線容量を増加できることになる。即ち、

1本のビット線に接続されるセルブロック数をいくらかでも増加できるため、従来FRAMのような、チップ面積に占めるセンスアンプ面積が15%~20%もある問題を解決して、ビット線に接続されるセルブロック数を増加させ、センスアンプ数を減らし、センスアンプ面積のオーバーヘッドを殆ど無くすることによりチップサイズを小さくする効果がある。

【0182】本実施形態におけるセルブロック内部の負荷容量CLは、ブロックユニット内の直列セル数の増減により変更が容易である。このことは、強誘電体キャパシタサイズが大きい時は、直列セル数を増加してCLを大きくして設計し、強誘電体キャパシタサイズが小さい時は、直列セル数を減らしてCLを小さくして設計し、サブビット線に読み出される信号量を確保すれば良いことを示す。負荷容量CLが小さい場合、サブビット線に読み出される電位は確かに大きく確保できるが、総電荷量が小さいため、セルデータ読み出し時のサブビット線の拡散層に当るソフトエラーが問題となる。

【0183】この問題に対して、上記直列セル数の調整が有効である。即ち、設計ルールが緩く、ソフトエラが厳しい状況では、ブロックユニットの直列セル数を増加させ、負荷容量を追加してやれば、 $Q_s = V_s \times CL$ であり、多少 V_s が減っても Q_s が多くなり、より多くの反転電荷がサブビット線に読み出され、この問題はクリアできる。設計ルールが小さくなるに従って、ソフトエラーレートが下がるに従って、ソフトエラーが問題無い程度に、直列セル数を徐々に減らして、サブビット線に読み出される信号量を確保すれば良いことが分かる。

【0184】従来の自己増幅機能のあるメモリセルではこの調整をしようすると、図237(d)のセルに限定される上、常誘電体キャパシタ面積が非常に大きくなり、コスト的に困難である。従来の自己増幅機能のあるメモリセルと比較すると、常誘電体キャパシタの大きな図237(d)のセルと同じ安定動作、正常動作を可能にしつつ、本実施形態よれば、1個のブロックユニット内のセル数を増加するほど、複数のメモリセルで前記増幅トランジスタと書き込みトランジスタを共用でき、セルサイズのオーバーヘッドを極めて小さなものにできる。

【0185】さらに図1の回路においては、左右のブロックユニットで増幅トランジスタやブロック書き込み選択トランジスタを共有しているわけで、これらのオーバーヘッドは小さい。本実施形態のセルブロック構造では、ブロックユニット内の選択したセルの位置により、CLの値が変化する問題に対して、少なくとも、選択したブロックユニットの反対側のブロックユニットの内部容量がその他の増幅トランジスタ等の容量に加算されて負荷容量になるため、選択ワード線の位置のCL値依存性は1/2以下に抑えられる。この左右ブロックユニットのサブビット線共有は、図1に示すような、プレート選択トランジスタを導入して、選択ブロックユニットと反対

側のブロックユニットのプレート選択トランジスタをOFFすれば実現できることが図2の動作で分かる。

【0186】図1、図2の動作のもう1つの特徴は、セル信号により/SBLの電位が上がると、増幅トランジスタにより、ビット線対の反対側のBLの電位を下げる方式である。

【0187】ビット線に読み出された信号をセンスアンプで増幅すると、/BL側を上上げる結果となり、ブロック書き込み選択トランジスタを介して/SBL電位を正に上げるように、再書き込みでき、つじつまが合う。この方式の場合、必ず増幅トランジスタのソース側がVSEとなり、サブビット線(/SBL, SBL)の電位がそのままゲートソース間電位となり、ビット線の電位に拘わらず、“1”データの場合は増幅トランジスタが常にON、“0”データの場合は常にOFFと、制御し易いことが特徴である。言葉を変えると、ビット線電位が増幅され下がってもゲートソース間電位は一定であり、ドレインソース電位が(1/2)VBLHと大きく、5極管動作であり定電流駆動であるため、ダミーセルが製造し易いことを意味する。

【0188】もちろん図1の回路は1セルに1個の情報記憶する1トランジスタ+1キャパシタ方式であるが、2セルに1個の情報を記憶する2トランジスタ+2キャパシタ方式が動作を変えるだけで実現できる。これは図2において、/PLAばかりでなくPLAも駆動して、BS0ばかりでなくBS1もLow→High→Lowと駆動すれば容易に実現できる。例えば、1トランジスタ+1キャパシタ方式でテストを行い、欠陥セルをスクリーニングして、リダンダンシー回路で置換え、実際の製品としては、信頼性の高い2トランジスタ+2キャパシタ方式で動作させる方法とかがこれに当てはまる。

【0189】また本実施形態によれば、図2に示すように、従来FRAMに比べて、ブロック書き込み制御信号をセル読み出し後にクロッキングするオーバーヘッド以外は動作が遅くなる要因が無く、高速動作が期待できる。本方式において、WLA0を下げるタイミングとビット線のイコライズを解除するタイミングが同時に行えるメリットを考慮すると、上のオーバーヘッドは相殺できる。

【0190】また従来FRAMは、各セル毎にプレートを分離する必要がある上、プレートの強誘電体キャパシタの負荷が大きい点、プレート抵抗が大きい点、プレートドライバサイズを大きくできない(大きくすると、ワード線1本毎にプレートドライバがあるためチップサイズ増)ためドライバの駆動能力低い等、プレート動作が遅い問題点があった。これに対し本実施形態は先願と同じく、プレートドライバが複数のワード線で共有でき、駆動能力大、プレート線が本数が少ないため、メタル配線にしたり、配線幅が大きくできたりと抵抗成分が小さい上、負荷容量は殆ど強誘電体キャパシタ容量で決まる

ため変わらず、結果として高速プレート駆動が可能となる。

【0191】以上、図1と図2の効果をまとめると、
1) 先願と同様に、4F²サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能。

【0192】2) 設計ルールが縮小して、強誘電体キャパシタ面積が縮小しても、それに合わせて分極反転時の負荷容量であるサブビット線容量が低減でき、十分な読み出し信号電圧が得られ、増幅トランジスタを用いてビット線を増幅するため、安定動作が可能。

【0193】3) (1/2)V_{dd}(=V_{BLH}) ビット線プリチャージが適用でき、低消費電力、低ノイズ化が可能。

4) 従来FRAMと同様に動作原理が単純で、しかも高速プレート動作により高速動作が可能。

【0194】5) ビット線容量が大きくても読み出し可能であるため、ビット線に接続できるセルブロック数を多くでき、結果としてセンスアンプ面積を低減できる。

6) ルール縮小により、強誘電体キャパシタの分極量の減少に合わせて、ブロックユニット内の直列セル数を減らせば、最適化が可能。

【0195】7) 設計ルールが緩く、ソフトエラーが厳しい状況では、ブロックユニットの直列セル数を増加させ、負荷容量を追加して読み出し電荷を増やせば、ソフトエラーを抑えられ、設計ルールが小さくなるに従って、ソフトエラーレートが下がるに従って、ソフトエラーが問題無い程度に、強誘電体キャパシタサイズと、直列セル数を徐々に減らして、サブビット線に読み出される信号量を確保すれば、良い。

【0196】8) ブロックユニット内の複数のセルで、増幅トランジスタと書き込みトランジスタを共用することにより、セルサイズのオーバーヘッドを極めて小さなものにできる。

【0197】9) 左右のブロックユニットで増幅トランジスタやブロック書き込み選択トランジスタを共有すれば、さらにこれらのオーバーヘッドは小さい。

10) 分極反転のための負荷容量として、選択したブロックユニットの反対側のブロックユニットの内部容量を用いることにより、ほぼ安定に動作が可能。

【0198】11) ブロックユニットのセル数を変えることにより、自由に負荷容量の調整が可能。

12) サブビット線の信号でビット線対の反対側のビット線を増幅トランジスタで駆動することにより、安定な増幅動作が可能となる。

【0199】図3は、図1の他の具体的な動作例を示す信号波形図である。図2と異なる点は、ビット線/B_L、B_LがV_{dd}プリチャージ方式である点(V_{BLH}にプリチャージ)されているのみである。図2に対するデメリットは、V_{dd}プリチャージであるため、消費電力、電源ノイズが増大する点である。図2に対するメリット

は、図1の増幅トランジスタQ5、Q6のドレイン電圧はこれらトランジスタ動作前V_{BLH}にプリチャージされているので、ドレインソース間電圧V_{ds}=V_{BLH}と図2の2倍印加されているため、増幅トランジスタに流れる電流が2倍となり、ビット線対/B_L、B_Lの電位差が開く速度が2倍になる点である。

【0200】図4は、本実施形態に適用できる動作点設計を説明するための図である。図1の回路においては、設計ルールが縮小して強誘電体キャパシタ面積が2乗で縮小しても、セルブロック内の負荷容量は緩やかに縮小するため、ブロックユニット内のセル数が一定の場合、ある設計ルールの時しか解が無い。特に、従来の自己増幅機能を持つ強誘電体メモリセルの場合、セルサイズ一定では、ある設計ルールの時しか解が無い。これに対して、ブロックユニット内の直列セル数を4、16、32、64、128、256と変えることにより、最適な負荷容量C_Lを設定できるため、平面強誘電体キャパシタでも、低集積から高集積まで解を持つことができる。

【0201】図4(b)は、セル直列数を変えて、C_Lを変化させた場合のサブビット線に読み出される信号電圧の値を示す。強誘電体キャパシタと常誘電体キャパシタの分極/容量比により、信号電圧は最大値を持ち得るため、最大値に近い値でC_Lを設計すれば良い。また図1の回路においては、反対側のブロックユニットの容量があるため変化量は2倍以下になるが、選択したワード線の位置により負荷容量C_Lが変化する。

【0202】図4(a)に、PZT膜の場合のC_Lが2倍程度変化した場合の動作点のずれを示す。黒丸印はC_Lが小さい場合、白丸印はC_Lが大きい場合を示す。この場合でも、“1”データと“0”データの場合で読み出し信号量が逆転することが無く安定動作が実現できる。これは、SBTやstainedBST等ヒステリシス曲線が菱形に近い材料では、さらに判定動作が可能と言える。また、図4(b)のように読み出し信号量が最大値を持つ特徴を生かして、C_Lが小さい場合黒丸点、C_Lが大きい白丸点に動作点が来るように設計すれば、読み出し信号量を最大化できる。但しこの場合信号量は最大化するが、動作点がずれるため、後半に示すような、選択したワード線の位置に応じてダミーセルのリファレンスの位置を変える方式が必要となる。

【0203】図5は、本実施形態に適用できるアレイ構成設計指針を示す図である。横軸に設計ルール、縦軸にFRAMのビット線容量とセル1個当たりの残留分極量を示している。ここで、ビット線容量は、512WL/BLを仮定しており、微細化(設計ルールの縮小)により僅かに減少していく。従来必要分極量P_rの線は、読み出し信号:V_sを110mVと仮定して、V_s=P_r/C_bの式から、1セル当りに最低限必要な分極量P_rを示している。

【0204】ビット線容量C_bの低下に比例して、微細

化に伴い減少しているが、緩やかな減少である。これに対して、強誘電体材料の残留分極量を $20 \mu\text{C}/\text{cm}^2$ と仮定した場合の、設計ルールでの平面キャパシタで実現した場合の得られる残留分極量を平面Capの線に示し、立体キャパシタで、底辺と高さのアスペクト比を $1 \sim 0.7$ に取った場合の得られる残留分極量を立体Cap ($AR=1 \sim 0.7$) に示し、立体キャパシタで、底辺と高さのアスペクト比を $2 \sim 1.4$ に取った場合の得られる残留分極量を立体Cap ($AR=2 \sim 1.4$) に示す。ここで、強誘電体キャパシタの底辺の面積を $3F^2$ と仮定している (Fは設計ルール)。このように実際得られる1セル当りの残留分極量は、設計ルールの2乗にはほぼ比例して低下するため、設計ルール縮小に伴い急激に減少する。このため、従来のFRAMで、強誘電体キャパシタを平面で形成した場合、 $0.2 \mu\text{m}$ ルールの 256Mb FRAMで限界が来ることを示している。強誘電体キャパシタは、分極に異方性及び軸性を持つものが多く、立体キャパシタで十分な残留分極を得ることは難しく、いまだ立体キャパシタを実現した例が報告されていない。たとえ立体キャパシタが実現できたとしても、図5に示すように、 1Gb FRAM, 4Gb FRAMが限界点と言える。この問題は、従来の最大 $3F^2$ の底辺の面積を実現できるFRAMに当てはまり、セルサイズは $4F^2$ と従来比の50%を実現できるがキャパシタの底辺面積が F^2 しか取れない先願の発明ではさらに苦しいといえる。

【0205】これに対して本実施形態によれば、従来のビット線容量が負荷容量である場合に比べて、サブビット線の容量が負荷容量CLと成る。よって、ブロックユニット内の直列セル数を、強誘電体キャパシタ面積の縮小にほぼ比例して徐々に減らして行けば、サブビット線に読み出される信号量を常にどの世代でも確保でき、これを増幅トランジスタでビット線を駆動すれば正常動作が可能となる。

【0206】図5の太い実線の例は、従来のビット線容量を1として、ブロックユニット内のセル数を変えることにより、サブビット線の容量を $1/2$, $1/4$, $1/8$, $1/16$, $1/32$ と減らして行った場合の正常動作に必要な強誘電体キャパシタの残留分極量を示す。この実線の値は、ソフトエラーの下限より常にどの設計ルールの世代でも大きな値を取って入れば問題無いといえる。ここでソフトエラーは、拡散層面積が大きく全ての α 線が当たって発生した電子-正孔ペアの電子が1個の拡散層に吸収される場合、約 80fC で一定となり、拡散層面積を小さくしていくと、隣接した拡散層に分散して吸収されるようになる。設計ルールが $0.25 \mu\text{m}$ でソフトエラーを回避するのに約 20fC 必要で、設計ルールが縮小するに従って、拡散層面積に比例して、ソフトエラーの下限が下がって行くわけである。

【0207】図5を見て分かったとおり、本実施形態によ

れば (本実施形態の設計指針によれば)、平面強誘電体キャパシタのままでも読み出し信号電位を確保しつつ、ソフトエラーを確保しつつ 16Gb FRAM $\sim 64 \text{Gb}$ FRAM、或いはそれ以上の超々高密度FRAMが実現できる。FRAMにおいては、DRAMのように、拡散層から蓄積した電荷が逃げてデータが破壊されるようなデータリテンションの問題が無く、読み出し時のソフトエラー (ビット線モード: この発明ではサブビット線モードと呼ぶのが正しい)、と読み出し信号量で最小必要残留分極量が決まるため、本実施形態のような方式が極めて有効になるわけである。

【0208】なお、ソフトエラーにはセルモードも存在するが、先願でも説明してあるが、スタンドバイ時強誘電体キャパシタの両端の電位が 0V にできるFRAMではほぼ問題無いし、図1のような構成では、スタンドバイ時強誘電体キャパシタの両端をショートしているためさらに問題無い。

【0209】(第2の実施形態) 図6及び図7は、本発明の第2の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのブロック構成を示している。

【0210】図6が図1と異なる点は、ブロックユニットの直列セル数を8個に増やしたことにある。これにより、プレート選択信号、ブロック書き込み選択信号、増幅トランジスタ等の1セル当りのオーバーヘッドを半減できる。また、今まで述べたように、強誘電体キャパシタ面積によって、最適な負荷容量CLを図4及び図5の例のように変えることができる。これにより、サブビット線に読み出される信号量を常にどの世代でも確保でき、これを増幅トランジスタでビット線を駆動すれば正常動作が可能となる。それ以外の効果は、図1と同様である。

【0211】図7が図1と異なる点は、ブロックユニットの直列セル数を16個に増やしたことにある。これにより、上に説明したように、1セル当りのオーバーヘッドを半減でき、最適な負荷容量CLを変えることができる。このように、ブロックユニットの直列セル数は自由に変えることができる。図では示さないが、直列セル数 $= 32, 64, 128, 256$ 等も可能である。それ以外の効果は、図1と同様である。

【0212】(第3の実施形態) 図8は、本発明の第3の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのメモリマツト (セルアレイ) 全体の構成を示している。

【0213】本実施形態では、図1に示したセルブロックを2次元配置して、ロウデコーダとセンスアンプ ($S_{A0} \sim S_{An-1}$) を接続した例を示す。ロウデコーダの代わりに階層ワード線方式を適用して、サブロウデコーダにしても良い。図8のプレート線PLB, /PLBに示すように、左右のセルブロックでプレート線を共有す

ることにより、アレイサイズを小さくできる上、プレート駆動回路面積を小さくできる。逆に言えば、駆動能力を上げることができる。センスアンプ回路に従来FRAMと同様なフリップフロップ型センスアンプ回路が適用できる。但し、図2、図3の動作の例の場合は、ビット線のプリチャージは $(1/2)V_{BLH}$ 、 V_{BLHH} になるように設計する。それ以外の効果は、図1と同様である。

【0214】(第4の実施形態)図9(a)(b)は、本発明の第4の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にセンスアンプ構成とセルアレイのブロック構成を示している。この図の例においては、図1に示したような複数の自己増幅機能を持つセルブロック(GainCellBlock0~n-1)ビット線/BL, BLに接続して、ビット線対を構成して、ここでは省略しているが、これをワード線方向に複数配置してアレイを構成する。各ビット線対は、 ϕ_{t0} をゲート入力とするアレイ-センスアンプ分離トランジスタを介してセンスアンプ回路に接続している。

【0215】(b)の例では、センスアンプ回路の右側にもセルアレイが配置されており、同様に、 ϕ_{t1} をゲート入力とするアレイ-センスアンプ分離トランジスタを介してセンスアンプ回路に接続している点が(a)と異なる。(b)の回路は、左右のセルアレイでセンスアンプ回路を共有している。(a)は共有しない例であり、 ϕ_{t0} をゲート入力とするアレイ-センスアンプ分離トランジスタが無くても良い。(a)(b)の例では、ダミーセルはセンスアンプ内に配置され、(b)の例ではダミーセルも左右のセルアレイで共有できることを意味する。

【0216】(a)(b)センスアンプ回路は、図2の動作を実現できる。 $\neg EQL$ 信号はビット線対をイコライズすると同時に、 $V_{BL} (= (1/2)V_{BLH})$ にプリチャージする。SEN, $\neg SEP$ はnMOS, PMOSTランジスタからなるフリップフロップアンプを動作させる。CSLはカラム選択信号であり、センスアンプで増幅した信号線($\neg BLSA$, $BLSA$)のデータをデータ線/ $\neg DQ$, DQ に伝送する、或いは/ $\neg DQ$, DQ からデータを書き込むためである。なお V_{BL} の電位を V_{BLH} に設定すれば、図3の動作が実現できる。

【0217】図10は、図9の実施形態の具体的な動作例を示す信号波形図である。これは、図1のセルブロックで図9のアレイ構成での動作例を示し、図2の動作例に図9の信号線の動作を加えたものを示している。

【0218】図2の動作に加え、プレート/ $\neg PLA$, $\neg PLA$ 選択前に、 $\neg EQL$ を下げ、ビット線/BL, BLのイコライズを解除すると同時に、選択しないセンスアンプの右のセルアレイとセンスアンプを切り離すため、 ϕ_{t1} をLowにする。センスアンプ活性化は、サブビット線/ $\neg SBL$ の信号により、増幅トランジスタに電流が流れ、ビット線対/BL, BLに電位差が十分発生した

後、SENをHigh、 $\neg SEP$ をLowにすることにより、フリップフロップ型センスアンプが動作する。ブロック書き込み選択信号BS0をOFFした後、SENをLow、 $\neg SEP$ をHighにしてセンス動作は終了する。その後、 $\neg EQL$ をHigh、 ϕ_{t1} をHighにして、スタンバイ状態になる。

【0219】(第5の実施形態)図11は、本発明の第5の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にセンスアンプ構成とセルアレイのブロック構成を示している。

【0220】本実施形態は基本的には図9の例と同じであるが、図9と異なる点は、ダミーセルがセルアレイ側にあることである。これは、セルアレイのセルと同様なプロセス、構造のダミーセルを構成するのに適している。

【0221】(第6の実施形態)図12(a)~(c)は、本発明の第12の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にダミーセル構成を示している。この実施形態は、図1の実施形態及びそれ以後の実施形態に適用できる構成である。

【0222】本実施形態のダミーセルは、図9に示すセンスアンプのビット線/ $\neg BLSA$, $BLSA$ に接続している。図11のセルアレイ内部でも良い。図12(a)のダミーセルは、単純にキャパシタを用いて、カップリングによりリファレンスビット線の電位を発生する。

【0223】図13は、図12(a)のダミーセルの動作例を示す信号波形図である。これは、図1の回路例でしかも、図2の動作例の場合を示す。 $BLSA$ 側にセルデータが読み出され、 $BLSA$ が“1”データの時、 V_{BLH} から下がり $(1/2)V_{BLH} - 2V_s$ になる。“0”データの時、 $(1/2)V_{BLH}$ の状態ままの2つの状態の中間値に、リファレンスビット線/ $\neg BLSA$ がなるように、即ち $(1/2)V_{BLH} - V_s$ になるように、 V_{DWL0} の電位を下げ、ダミーキャパシタのカップリングにより/ $\neg BLSA$ の電位を下げる。センスアンプでビット線対を増幅した後は、 V_{DWL0} を上げ元に戻して良い。

【0224】図12(b)は、図12(a)と同様にキャパシタカップリング方式のダミーセルである。ダミーキャパシタと、両端をショートしリセットするトランジスタQ10と信号RSTと、ダミーキャパシタをビット線と接続するトランジスタQ11, Q12とダミーワード線 V_{DWL0} , V_{DWL1} から構成している。MOSゲートキャパシタでダミーキャパシタ形成した場合に面積が大きくなる問題に対して、ダミーキャパシタをビット線対で共有し面積を削減している。

【0225】図14は、図12(b)のダミーセルの動作例を示す信号波形図である。ダミーセルデータを読み出す前に、RSTをLowにして、ダミーキャパシタのショートを解除してから、 V_{DWL0} をHighにすると、 V_{DPL} 電位が $(1/2)V_{BLH}$ より低い場合、キャパシ

タのカップリング分だけBLSA電位が下がり、リファレンス電位となり得る。その他、応用例として図14でDPLをクロッキングしても良い。

【0226】図12(c)は、図12(b)と同様にキャパシタカップリング方式のダミーセルである。異なる点は、2種類のダミーキャパシタCD0とCVD1がある点である。

【0227】図15は、図12(c)のダミーセルの動作例を示す信号波形図である。図4で示したように、選択したワード線の位置により負荷容量CL(=CSBL)が異なり、サブビット線の電位が異なり、結果として、ビット線BLの下がる程度が異なる問題をこれは解決できる。即ち、CD0とCD1の容量を変え、選択したワード線の位置により図15のようにRST0を下げるか、RST1を下げるか変えることにより、CLが変わる問題を量子的ではあるが解決できる。さらにCDiの数を増やせば、細かく制御可能である。図13(a)~(c)の例は常誘電体キャパシタを用いていたが、強誘電体キャパシタでも構成可能である。

【0228】(第7の実施形態)図16(a)~(c)は、本発明の第7の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にダミーセル構成を示している。この実施形態は、図1の実施形態及び、以後の実施形態に適用できるダミーセル構成を示し、定電流型ダミーセルを示している。

【0229】図16(a)は、2個のトランジスタでダミーセルを構成している。図17は、図16(a)のダミーセルの動作例を示す信号波形図である。図1のトランジスタQ5がONし、“1”データがBLSAに読み出され、BLSA電位が下がる場合のトランジスタQ5に流れる電流をIとした場合、VDWL0がHighになり、トランジスタQ13がONし/BLSAからVDS Eに流れる電流を(1/2)Iに設定すれば、リファレンスが生成できる。

【0230】図12のダミーセルは、時間と共にセルデータが読み出されるビット線BLSAの電位が下がるのに対して、リファレンス電位は固定のため、一定時間後センスする必要があった。しかし、図16の場合は、常にリファレンス電位は“1”と“0”データの間値に設定できるメリットがある。(1/2)Iの設定は、VDS Eの電位、VDWL0のHighの電位及び、トランジスタQ13のサイズで調整できる。

【0231】図16(b)は、図16(a)に比べ精度調整が可能な例を示す。図18は、図16(b)のダミーセルの動作例を示す信号波形図である。トランジスタQ14よりトランジスタQ15の駆動能力を大きく設定して、(1/2)I電流が、トランジスタQ14で制限されるようにし、トランジスタQ14の電流もVDC、VDS E電位で決まるようにしておき、VDWL0をHighにして、(1/2)Iが流れるようにする。VDC、VD

SE電位をアレイ外部からヒューズ等で微調整できるようにすれば、精度が上がる。

【0232】図16(c)は、図16(b)の定電流方式のダミーセルを複数個用意した場合を示す。図19は、図16(c)のダミーセルの動作例を示す信号波形図である。図12(c)と同様にどちらか一方を選択して、選択したワード線の位置により読み出し信号が異なる問題を回避している。どちらか一方ばかりでなく両方を選択するようにすれば、より細分化できる。

【0233】(第8の実施形態)図20は、本発明の第8の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にダミーセル構成を示している。この実施形態は、図1の実施形態及び、以後の実施形態に適用できるダミーセル構成である。この例は、ダミーキャパシタとして、セルアレイと同じ強誘電体キャパシタを用いた例であり、図4で示した選択したワード線の位置により、図1の負荷容量CLが異なりサブビット線SBLの電位が異なる問題を解決できる。

【0234】図20において、左上下のブロックユニットは、図1と同じ構成で、ダミーワード線に接続され、左端はダミープレートDPL、DPLに直接接続されている。右上下のブロックユニットは選択せずVPPに接続されて、リセットトランジスタQ16、Q17を介して固定電位Vss'に接続されている。ブロック書き込み選択信号及びこのトランジスタは無く、増幅トランジスタのみ存在する構成である。

【0235】図21は、図20のダミーセルの動作例を示す信号波形図である。DRST0を下げて、選択ワード線に対応する位置のダミーワード線を下げ、ダミーサブビット線/DSBL、DSBLをフローティングにする。その後、DPLを上げると、“0”データがDSBLに読み出され、増幅トランジスタQ18がONし、(1/2)Iの電流が流れ、リファレンスビット線/BLの電位が下がりリファレンス電位が発生するしくみである。その後、DPLがHighのまま、DRSTを上げると、選択したダミーセルの強誘電体キャパシタにDPL-Vss'の電位が書き込まれ“0”データがもとに戻される。その後、DPLを下げ、VDWL0を上げてスタンバイ時の状態に戻る。

【0236】この場合、ダミーセルの“0”データ読み出しによるDSBLの電位と、図1の“0”データ読み出しのSBLの電位は、選択したワード線の位置に拘わらず同じになる。このとき、図20の増幅トランジスタQ18のW/L比を図1のトランジスタQ5のW/Lに比べて大きく設定しておけば、リファレンス電位が容易に発生できる。

【0237】またその他の方式として、Vss'の電位をVssより高めに設定すると、図22の動作点設計指針の点線の負荷直線に示すように、トランジスタQ18とトランジスタQ5が同じサイズのままだと、常にダミーセ

ルの動作点は、通常セルの動作点より右側になる。この“0”データ書き込みダミーセル方式は、ダミー強誘電体キャパシタの分極反転を伴うことが無いため、通常セルより選択回数が多くても、疲労による劣化の問題を回避できる。

【0238】またその他の応用例として、 $V_{ss}' = V_{ss}$ のままで、トランジスタQ18とトランジスタQ5のサイズを同じままでも、右上下のブロックユニットの負荷容量小さくすれば、“0”データの動作点は、通常セルよりダミーセルが右側になる。例えば、右上下のブロックユニットの直列数を半減する等の方法が良い。

【0239】その他の方式として、ダミーセルとして“1”データを常に読み出す方式も可能である。例えば、DPLを下げた後、 V_{ss}' を上げ下げすることにより“1”データがダミーの強誘電体キャパシタに書き込まれる。読み出しは、右のDSBL側の負荷容量を通常セルより大きくすれば、リファレンスとなりうる。又は、同じ構成で、 V_{ss}' のHigh電位を通常セルより下げたり、トランジスタQ19のサイズをトランジスタQ5のサイズより小さくすれば容易にリファレンスが発生できる。また、右の上下の2個ブロックユニットを合

体して負荷容量を増大することもできる。

【0240】（第9の実施形態）図23は、本発明の第9の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのセルブロック、セルアレイ、センスアンプ構成を示している。この図は、図1の構成よりもより概念的な構成を示している。

【0241】セルトランジスタと強誘電体キャパシタを並列接続して1個のセルを構成し、これを直列接続してブロックユニットを構成している。ブロックユニットの一端はPL駆動回路に接続され、他端は増幅回路及び書き込み回路を介してビット線/BL、BLに接続され、ビット線には複数のセルブロックが接続され、ビット線の端はセンスアンプ回路に接続されている。

【0242】この実施形態では、選択したワード線を下げ、PL駆動回路でブロックユニットに電圧を印加して、サブビット線/SBL或いはSBLにセル電荷を読み出し、これを増幅回路で増幅して、ビット線/BL或いはBLに信号を伝えセンスアンプで増幅して、これを書き込み回路でサブビット線/SBL或いはSBLに書き戻し、セルに書き戻す方式である。これによる効果は、図1と同様である。1トランジスタ+1キャパシタ構成でなく、上下のブロックユニットの両方からセルデータを読み出す、2トランジスタ+2キャパシタ構成も可能である。この場合はダミーセルは不要である。

【0243】（第10の実施形態）図24は、本発明の第10の実施形態に係わる半導体記憶装置を説明するためのもので、特に複数の強誘電体メモリアレイと複数のセンスアンプ配置例を示している。この例は、図1の実施形態はもとより他の実施形態にも適用できるものであ

る。前記した図1の効果のまとめ5)で示したように、本発明を適用することにより、セルブロック内のサブビット線の負荷容量によりサブビット線の読み出し電位が決まり、これを増幅トランジスタを用いてビット線を駆動するため、読み出し時間さえあれば、ビット線の寄生容量はいくら大きくても読み出せる。図24(a)は従来セルアレイとセンスアンプ配置を示し、(b)は本実施形態の構成例を示す、ビット線につながるセル数を多くすることにより、結果としてセンスアンプ数を激減でき、チップサイズの低減、即ちチップ内のセル占有率を上げることができる。なお、時間をかければと述べたが、本発明においては、セルブロック毎に2個のトランジスタのみビット線につながるため、従来の1トランジスタ+1キャパシタのセルに比べてビット線容量/cellが $1/2 \sim 1/4$ 程度と小さいので、センスアンプ数は元々、同じパワー、ほぼ同じ充電放電時間でも同じ時間で動作が可能である。さらに、自己ブロック増幅効果によりセンスアンプ数を低減できるわけである。

【0244】（第11の実施形態）図25は、本発明の第11の実施形態に係わる半導体記憶装置を説明するためのもので、メモリチップ構成例、ロジック混載構成例、RF-IDカード構成例を示している。この例は、図1の実施形態はもとより他の実施形態にも適用できるものである。

【0245】図25(a)はメモリチップ構成例であり、チップにはセルアレイ、センスアンプばかりでなく、少なくともローデコーダ(R/D)、カラムデコーダ(C/D)、周辺回路等が設けられている。図25(b)はロジック混載構成の場合であり、本発明のメモリと各種ロジックLSIの混載で構成される。ロジックLSIが限界で無く、従来メモリに限界（読み出し安定動作限界或いはコスト限界）が来た場合でも、本発明には限界が来ない場合、この構成が有効である。図25(c)はRF-IDカード構成の場合であり、本発明のメモリとロジックLSI及びアンテナで構成される。

【0246】（第12の実施形態）図26は、本発明の第12の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのブロック構成を示している。図1とはほぼ同一の構成であり、殆どの効果が図1と同じである。異なる点は、上の左右のブロックユニットに接続されるサブビット線/SBLをゲート入力とする増幅トランジスタQ20のソースがビット線/BL側に接続され、ドレインがVSE電位に接続される。さらに、下の左右のブロックユニットに接続されるサブビット線SBLをゲート入力とする増幅トランジスタQ21のソースがビット線BL側に接続され、ドレインがVSE電位に接続される点である。即ち、読み出すビット線と書き込みを行うビット線が同じビット線/BL或いはBLである点である。

【0247】図27は、図26の具体的な動作例を示す

51

信号波形図である。まず、スタンバイ時は、全てのワード線WLA0~3、WLB0~3は昇圧電位 V_{pp} 、全てのプレート/PLA、PLA、/PLB、PLBは0V、プレート選択信号PSA、PLBを V_{pp} にしておくことにより、セルトランジスタは全てONしており、全てのセルの強誘電体キャパシタの両端は電氣的にショートされて、さらにこの両端の電位及びサブビット線/SBL、SBLの電位は、プレート選択信号がHighのため、プレートに接続され0Vになっている。

【0248】また、ブロック書き込み選択信号BS0、BS1は0Vにしておくことにより、トランジスタQ22、Q23はOFFしており、/SBL、SBLが0Vのため、VSEがVBLHと高い電位であっても、増幅トランジスタQ20、Q21もOFFしている。よって、ビット線/BL、BLとサブビット線/SBL、SBLは完全に分離されている。

【0249】この動作例の場合、ビット線/BL、BLのプリチャージ電位は0Vである。動作時は、選択したセルブロックの、例えば左上のブロックユニットのメモリセル(Q24、CF2)選択時の動作を説明する。まず、選択メモリセルにつながるワード線WLA0を0Vに下げセルトランジスタQ24をOFFする。同時に或いは前後して、右上、右下のブロックユニットとプレート/PLB、PLBを切り離すため、プレート選択信号PSBを0Vに下げトランジスタQ25、Q26をOFFする。さらに、ビット線/BL、BLを0Vのままフローティングにする。ここで、Q27、Q28はONのままである。

【0250】これにより、セルトランジスタQ24はOFF、トランジスタQ25はOFFしているため、選択したセルの強誘電体キャパシタCF2の右側の端子から/SBL、さらに右上のブロックユニットのセル内部ノードは全てつながり、かつ0Vでフローティングになる。

【0251】次に、選択した左上のブロックユニットに接続されるプレート/PLAのみを0VからVBLHに上げる。PLAから選択した強誘電体キャパシタの左側端子までVBLH電位が印加される。このとき、CF2の右側の端子から/SBL、さらに右上のブロックユニットのセル内部ノードの容量が負荷容量CLとなり、強誘電体キャパシタに“1”データが書き込んであれば、分極反転して、セルデータがサブビット線/SBL(正確には、CF2の右側の端子から/SBL、さらに、右上のブロックユニットのセル内部ノード)に読み出され/SBLの電位が0Vから $2V_s + V_o$ に上がる。

【0252】強誘電体キャパシタに“0”データが書き込んであれば、分極反転せず、CF2の常誘電体成分容量とCLの容量比だけ、サブビット線/SBLの電位上がり、/SBLの電位は V_o となる。このとき、対をなすサブビット線SBLの電位はPLAが0Vのままな

52

ので、0Vのままである。ここで、VSE電位をVBLHに設定しておく、増幅トランジスタQ20のゲート電位は“1”データ時は $2V_s + V_o$ 、“0”データ時は V_o 、ドレイン電位(=VSE)はVBLH、ドレイン電位(=/BL)は0Vとなる。

【0253】トランジスタQ20のしきい値電圧 V_t を $V_o < V_t < 2V_s + V_o$ に設計しておく、図27に示すように、“1”データ時、トランジスタQ20はONしているため、0Vにプリチャージされている/BLは増幅トランジスタQ20を介して、VSEに電流が流込むことにより、0Vから電位が上がり始める。ここで、センスアンプ動作前の上がった電位を $0V + 2V_{st}$ 定義する。逆に、“0”データ時、トランジスタQ20はOFFしているため、0Vにプリチャージされている/BLは増幅トランジスタQ20を介して、VSEから電流が流れず、0Vのままである。

【0254】このとき、定電流駆動トランジスタを用いたダミーセル等を用いて、BL電位を“1”データ時BL側が上がる電位の半分の電位上げるように設定すると(即ちセンス動作前、 $0V + V_{st}$)、センスアンプ動作前、“1”データ時、/BLは $0V + 2V_{st}$ 、BLは $0V + V_{st}$ となり V_{st} の電位差が図26の右のセンスアンプに入力され、フリップフロップ型のセンスアンプで増幅され、BLは0V、/BLはVBLHとなる。また、“0”データ時、/BLは $0V + V_{st}$ 、BLは $0V + V_{st}$ となり V_{st} の電位差が図26の右のセンスアンプに入力され、フリップフロップ型のセンスアンプで増幅され、BLはVBLH、/BLは0Vとなる。

【0255】なお、図27の例ではビット線対は0Vにプリチャージにしてあったが、ある一定の電位VBLでも良いし、 $(1/2)VBLH$ にしてもよい。この場合、増幅トランジスタQ20、Q21が“1”データ時ONし、“0”データ時OFFするように、増幅トランジスタのしきい値電圧 V_t を $V_o - VBL < V_t < V_o + 2V_s - VBL$ になるように設計する必要がある。

【0256】或いは、ONするが電流の違いをセンスアンプで検知する場合は、 $V_t < V_o - VBL$ に設計する必要がある。但し、本実施形態は図1と異なり、増幅トランジスタのソース側がビット線となるため、ソース電位が変わる問題を持つ。例えば“1”データ時/BLが上がり始めるとソース電位が上がり増幅トランジスタは途中でOFFする。また、“0”データ時、/BLを0Vプリチャージ以外にしておく、センスアンプでの増幅で、/BLが下がると、増幅トランジスタがONしてしまう問題がある。

【0257】後半の問題は図27の0Vビット線プリチャージ方式で回避できるし、前半の問題は、確かに図1に比べて読み出し信号量は減るが、サブビット線に読み出される信号量は大きく、この分だけ、ビット線対の電位差が開いてから増幅トランジスタがOFFするため問

題ない。しかも、一定の所でビット線対の電位差が止るため、図12に示したキャパシタカップリング型のダミーセルに適している。逆に言うと、図1の方式は、図16、図20等の定電流型ダミーセルが適していることを示している。なお、VSEの電位はVBLHでも良いし、ビット線のプリチャージ電位より高ければ何でも良い。

【0258】データの再書き込み時、サブビット線/SBLに接続されるブロック書き込み制御信号BS0のみVppに上げる。すると、0V或いはVBLHに増幅されたビット線/BLの電位が/SBLに書き込まれ、“1”データ時、/SBLはVBLHとなり、“0”データ時/SBLは0Vになる。このとき、プレート電位(=選択強誘電体キャパシタの左側の端子)はVBLHのため、

“0”データ時、強誘電体キャパシタには-VBLHの電圧(強誘電体キャパシタの右側の端子を正と定義)が印加され、“0”データが再書き込みされる。“1”データ時は、その後、プレート/PLAが0Vに下げられ、選択強誘電体キャパシタの左側の端子も0Vになった時、強誘電体キャパシタにはVBLHの電圧(強誘電体キャパシタの右側の端子を正と定義)が印加され、“1”データが再書き込みされる。

【0259】これら一連の動作において、SBL電位はずっと0Vのままなので、下のブロックユニットのデータは保持されたまま、安定である。例えば、外部から異なるデータを書き込む場合(ライト・モード)や、データの読み出し後外部データを書き込む場合(リード・モードファイ・モード)、BS0がHighになったあと書き込めば良い。

【0260】再書き込み終了後は、まずブロック書き込み選択信号BS0をHighから0Vに下げる。これにより、/BL側から/SBLへの干渉は無くなる。その後、WLA0を上げ、同時に或いは前後して、プレート制御信号PSAを上げると、選択されていたセルの強誘電体キャパシタは電気的にショートされ、右上、左上のブロックユニットの内部ノードと/SBLノードは0Vになる。これら動作と同時に或いは前後して、ビット線対/BL, BLを0Vに下げると、スタンバイ状態に戻る。

【0261】以上述べたように図26の構成は図1とほぼ同じで、その効果をまとめると、

1) 先願と同様に、4F²サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能。

【0262】2) 設計ルールが縮小して、強誘電体キャパシタ面積が縮小しても、それに合わせて分極反転時の負荷容量であるサブビット線容量が低減でき、十分な読み出し信号電圧が得られ、増幅トランジスタを用いてビット線を増幅するため、安定動作が可能。

【0263】3) 従来FRAMと同様動作原理が単純で、しかも高速プレート動作により、高速動作が可能。

【0264】4) ビット線容量が大きくても読み出し可能であるため、ビット線に接続できるセルブロック数を多くでき、結果としてセンスアンプ面積を低減できる。

【0265】5) ルール縮小により、強誘電体キャパシタの分極量の減少に合わせて、ブロックユニット内の直列セル数を減らせば、最適化が可能。

【0266】6) 設計ルールが緩く、ソフトエラーが厳しい状況では、ブロックユニットの直列セル数を増加させ、負荷容量を追加して読み出し電荷を増やせば、ソフトエラーを抑えられ、設計ルールが小さくなるに従って、ソフトエラーレートが下がるに従って、ソフトエラーが問題無い程度に、強誘電体キャパシタサイズと、直列セル数を徐々に減らして、サブビット線に読み出される信号量を確保すれば、良い。

【0267】7) ブロックユニット内の複数のセルで、増幅トランジスタと、書き込みトランジスタを共用することにより、セルサイズのオーバーヘッドを極めて小さなものにできる。

【0268】8) 左右のブロックユニットで増幅トランジスタや、ブロック書き込み選択トランジスタを共有すれば、さらにこれらのオーバーヘッドは小さい。

【0269】9) 分極反転のための負荷容量として、選択したブロックユニットの反対側のブロックユニットの内部容量を用いることにより、ほぼ安定に動作が可能。

【0270】10) ブロックユニットのセル数を変えることにより、自由に負荷容量の調整が可能。

【0271】11) サブビット線の信号でビット線対の同じ側のビット線を増幅トランジスタで駆動することによりビット線に一定量の電位差が発生し、簡単なキャパシタカップリング型のダミーセルが利用し易い。

【0272】(第13の実施形態) 図28は、本発明の第13の実施形態に係わる半導体記憶装置を示す平面図であり、特に強誘電体メモリのブロック構成のレイアウトを示している。図28(a)は図1の回路図に対応して、トランジスタの位置も図1と同じ配置である。図28(b)は図26の回路図に対応して、トランジスタの位置も図26と同じ配置である。このように、図1、図26は等価回路自身でも本発明の効果があるばかりでなく、トポロジ的にも細密配置の効果がある。

【0273】図29は、図28(a)の増幅トランジスタとブロック書き込み選択トランジスタ部分の拡大レイアウト図である。複数層重ねると判りにくいため、同じレイアウトの各層を図30から図32に分けて表示してある。各レイヤ表示として、拡散層をAA、ゲート層をGC、上部電極層をTE、下部電極層をBE、強誘電体層をFE、ビット線層をBL、拡散層-下部電極層間コンタクトをAA-BE-C、拡散層-上部電極層間コンタクトをAA-TE-C、ゲート層-下部電極層間コンタクトをGC-BE-C、上部電極層-ビット線層間コンタクトをTE-BE-Cと定義している。上部電極

55

層、下部電極層は強誘電体キャパシタの上下電極層を意味する。

【0274】図30において、Q6、Q5が増幅トランジスタのチャネル部を示し、Q7、Q8がブロック書き込み選択トランジスタのチャネル部を示す。サブビット線/SBL、SBLは図31に示すように、下部電極層(BE)を引き回すことにより、容易にビット線となるビット線層(BL)の下に形成できる。図29から図32で判るように、増幅トランジスタとブロック書き込み選択トランジスタを左右のブロックユニットにより素子数を減らし、さらにVSE端子部は増幅トランジスタQ6、Q5のソースを共有し、また増幅トランジスタのドレインとブロック書き込み選択トランジスタのドレインで拡散層を共有し、さらにセルトランジスタのドレインとブロック書き込み選択トランジスタのソースで拡散層を共有するため、非常にコンパクトなレイアウトになっている。

【0275】図28において、セルサイズを $4F^2$ とすると、プレート駆動部、増幅トランジスタ部、ブロック書き込み選択トランジスタ部を含む、ブロック平均のセルサイズは、ブロックユニットのセル直列接続数が16直列で、 $5F^2$ サイズ、32直列で $4 \cdot 5F^2$ サイズ、64直列で $4 \cdot 25F^2$ サイズと、自己増幅機能があるにも係らず極めて小さなセルとなる。また、セルアレイ内でピッチが厳しいにも拘わらず、無理なく自己増幅機能を実現するトランジスタが配置できている。図33は、図28(b)の増幅トランジスタとブロック書き込み選択トランジスタ部分の拡大レイアウト図である。複数層重ねると判りにくいため、同じレイアウトの各層を図34から図36に分けて表示してある。レイヤ構成及びレイヤの別けかたは、図30から図33と同じである。図26の回路構成を実現するには、図30におけるトランジスタQ5、Q6のトランジスタのGC、GC-BE-Cをチャネルを中心に上下の折り返すだけで実現できている。

【0276】図37は、図28(a)(b)に共通のプレート選択トランジスタとプレート線の部分の拡大レイアウト図である。図38及び図39は、図37のレイアウトの一部の層のレイアウトを示す。プレート線も隣接のセルブロックで共有することにより、この部分の面積を半減できている。図37で/PLB'側が隣接する他のセルブロック部である。プレート線にはTEを用いて、2ビット線毎に、拡散層AAとコンタクトを取ることにより、フォールデッドBL方式を実現している。

【0277】(第14の実施形態)図40~図43は、本発明の第14の実施形態に係わる半導体記憶装置を示す素子構造断面図であり、特に強誘電体メモリのブロック構成例を示している。

【0278】図40は28(a)のレイアウト構成の左側の断面図に対応し、図41は28(a)のレイアウト

56

構成の右側の断面図に対応している。図40及び図41の各図(a)、(b)、(c)は、ビット線方向で、/BL中央、/BLとBLの間、BL中央で割った時の断面図に対応する。BEを巧みに用いることによりコンパクトで、設計余裕がありつつ自己増幅機能を実現していることが判る。

【0279】図42及び図43は、構成が図40及び図41と類似しているがこれらと大きく異なる点は、強誘電体キャパシタが下部電極間に形成されている点である。これにより、メモリセル部の強誘電体キャパシタがセルフアラインで形成されるメリットがある。サブビット線の配線はBEで配設できていることが判る。

【0280】(第15の実施形態)図44は、本発明の第15の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのブロック構成を示している。本実施形態の回路構成及び効果は、図1とほぼ同じである。図1と異なる点は、サブビット線/SBL、SBLに負荷容量安定用キャパシタC10を接続して、他端を固定電位VLに接続した点である。

【0281】固定の安定負荷容量を追加することにより、図4で示した、選択したワード線の位置により負荷容量が変化して、動作点がずれる問題を克服できる。さらに、デバイスの縮小がそれ程進んでいなく、反対側のブロックユニットだけでは、負荷容量が不足する場合にも適用できる。また、デバイスの縮小がそれ程進んでいなく、負荷容量を稼ぐために、ブロックユニットのセル数を多くして、読み出し遅延が増大するのも防げる。

【0282】図45は、図44の具体的な動作例を示す信号波形図である。これは、(1/2)VBLHプリチャージ方式の場合で、図2と動作は同じである。図46は、図44の具体的な別の動作例を示す信号波形図である。これは、VBLHプリチャージ方式の場合で、図3と動作は同じである。但し、サブビット線の読み出し電位は負荷容量変化により異なる。

【0283】(第16の実施形態)図47は、本発明の第16の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのブロック構成を示している。これは、図26の構成に負荷容量C10を追加した場合を示している。効果は、図44と同じである。図48は、図47の具体的な動作例を示す信号波形図である。Vssビット線プリチャージ方式を示し、図27と動作は同じである。

【0284】図49は、図47の具体的な別の動作例を示す信号波形図である。これは、ビット線(1/2)VBLHプリチャージ方式を示す。図27の説明で示した増幅トランジスタのしきい値を変えて、ビット線(1/2)VBLHプリチャージ方式を実現しても良いし、図49に示すように、増幅トランジスタ動作時にVL線を上の持ち上げて、サブビット線電位を上げ、増幅トランジスタをONさせても良い。

57

【0285】(第17の実施形態)図50及び図51は、本発明の第17の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図50の構成は、図44の負荷容量を強誘電体キャパシタで実現した場合である。図51の構成は、図47の負荷容量を強誘電体キャパシタで実現した場合である。

【0286】強誘電体キャパシタには常に正或いは負のバイアスしかかからないように設計すれば、分極反転することなく、負荷容量として利用できる。例えば、VLをVssに設定して、メモリ出荷前に一度動作させ、サブビット線をVBLHにしておけば、その後この強誘電体キャパシタが分極反転することはなくなる。

【0287】(第18の実施形態)図52は、本発明の第18の実施形態に係わる半導体記憶装置を示す平面図であり、特に強誘電体メモリブロック構成のレイアウトを示している。これは、ブロック書き込み選択トランジスタ及び増幅トランジスタ部分のレイアウトを示している。

【0288】図53は図52のレイアウト図の一部レイヤ層を表示したものであり、図54は図52のレイアウト図の一部レイヤ層を表示したものである。図52～図54において、(a)は、図29と対比して、増幅トランジスタのサイズのチャネル長L側を大きくした場合を示す、これにより、サブビット線の負荷容量の一定成分が増加できる。(b)は、図44に対応して、強誘電体の安定用キャパシタを追加した場合を示している。この例では、1セルブロックに4個の安定用FEを追加している。

【0289】(第19の実施形態)図55は、本発明の第19の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。これは、図1のセルブロックから右上下のブロックユニットを取り除いた構成のものであり、殆どの効果は図1と同じである。左右のブロックユニットの選択が無い分、プレート選択信号及びプレート選択トランジスタが不要になり、プレートはブロックユニットに直に接続される。図4で示した選択するワード線の位置による負荷容量の変化が激しいが、これはダミーセルで対応できるし、図52(a)のようなトランジスタサイズを大きくして対応できる。

【0290】図56は、図55の具体的な動作例を示す信号波形図である。WLOを下げ、PLを上げるだけで、サブビット線/SBLにデータが読み出され、増幅トランジスタを介してこのデータはビット線対の反対のビット線BLに読み出され、センスアンプで増幅される。増幅後のデータは、ブロック書き込み選択信号BS0をHighにすることでサブビット線に戻され、PLをHighからLowに駆動することにより、

“1”、“0”データがセルに書き戻される。その後、

58

BS0を下げ、WLOを上げると、自動的にサブビット線の全てのノードはVssになる。ビット線もイコライズすることにより、図1と同様(1/2)VBLHに戻され、スタンドバイ状態になる。

【0291】図57は、図55の具体的な別の動作例を示す信号波形図である。図56と異なる点は、ビット線がVBLH電位プリチャージである点のみである。このように、図1とほぼ同様な効果、ほぼ同様な動作が可能となる。

【0292】(第20の実施形態)図58は、本発明の第20の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図55と異なる点は、図1と図26の違いと同様、増幅トランジスタがつながるビット線が、書き込み用ビット線と同じである点である。

【0293】図59は、図58の具体的な動作例を示す信号波形図である。Vssビット線プリチャージにより、図27と図56を足し合せた動作が可能である。

【0294】(第21の実施形態)図60は、本発明の第21の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図55の構成とことなる点は、負荷容量安定用常誘電体キャパシタが追加された点である。

【0295】図61は図60の具体的な動作例を示す信号波形図であり、図62は図60の具体的な動作例を示す信号波形図である。それぞれ図56、図57と同じ動作が可能で、サブビット線の読み出し電位のみ異なる。

【0296】(第22の実施形態)図63は、本発明の第22の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。これは、図58と同様の構成で、図58の構成と異なる点は、負荷容量安定用常誘電体キャパシタが追加された点である。

【0297】図64は、図63の具体的な動作例を示す信号波形図である。これは、図59と同じ動作が可能で、サブビット線の読み出し電位のみ異なる。

【0298】(第23の実施形態)図65～図78は、本発明の第23の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図65の構成は、図60の常誘電体キャパシタの負荷容量の替わりに強誘電体キャパシタを用いた点のみ異なる。図66の構成は、図63の常誘電体キャパシタの負荷容量の替わりに強誘電体キャパシタを用いた点のみ異なる。

【0299】図67の構成は、これは図55と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。ブロック書き込み選択トランジスタと増幅トランジスタを分けて配置している。図68の構成は、図60と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。

59

【0300】図69の構成は、図65と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。図70の構成は、図58と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。ブロック書き込み選択トランジスタと増幅トランジスタを分けて配置している。

【0301】図71の構成は、図63と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。図72の構成は、図66と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。

【0302】図73の構成は、図67と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。図74の構成は、図68と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。

【0303】図75の構成は、図69と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。図76の構成は、図70と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。

【0304】図77の構成は、図71と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。図78の構成は、図72と等価回路は同じ、効果も同じであるが、トランジスタ配置位置のトポロジが異なる。

【0305】(第24の実施形態)図79は、本発明の第24の実施形態に係わる半導体記憶装置を示す平面図であり、特に強誘電体メモリブロック構成のレイアウトを示している。図79(a)は、図55の回路図に対応して、トランジスタ配置のトポロジも対応している。図79(b)は、図67の回路図に対応して、トランジスタ配置のトポロジも対応している。図79(c)は、図76の回路図に対応して、トランジスタ配置のトポロジも対応している。

【0306】図80(a)～(c)は、図79(a)～(c)のレイアウトにおける一部の層のレイアウトを示す。同様に図81(a)～(c)は、図79(a)～(c)のレイアウトにおける一部の層のレイアウトを示す。どのレイアウト図面も、設計ルールを厳しくすることなく、ピッチの厳しセルアレイ内に自己増幅機能を搭載できている。

【0307】(第25の実施形態)図82は、本発明の第25の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。本実施形態は、図1とほぼ同様の回路構成、動作、効果を持つが、異なる点は、プレート選択信号が2種類(PSA0, PSA1)に分けられ、その分プレート線が1種類に変更になった点である。

【0308】図83は、図82の具体的な動作例を示す

60

信号波形図である。図2と動作が異なる所を説明すると、スタンバイ状態からアクティブ状態への変化時、右上ブロックユニット、右下ブロックユニット、左下ブロックユニットとプレートを接続制御するプレート選択信号(PSB0, PSB1, PSA1)をHighからLowに下げ、各ブロックユニットとプレートを切り離す。このとき、左上ブロックユニットとプレートPLAとを接続制御するプレート選択信号(PSA0)のみHighのままにしておく。それと同時或いは前後して、ワード線WLA0を下げる。

【0309】次いで、PLAのみLowからHighにすることにより、4個のブロックユニットの内、左上ブロックユニット内のセルデータがサブビット線/SBLに読み出され、これを増幅トランジスタで増幅してビット線BLに伝え、これをセンスアンプで増幅する。その後、BS0をHighにしてデータの再書き込みを行う。スタンバイに戻るには、BS0を下げ、PSA1, PSB0, PSB1を上げ、WLA0を上げれば良い。

【0310】(第26の実施形態)図84は、本発明の第26の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図82とほぼ同様の回路構成、動作、効果を持つが、異なる点は、負荷容量の安定用常誘電体キャパシタを備えた点である。

【0311】図85は、図84の具体的な動作例を示す信号波形図である。サブビット線の電位が異なる以外の動作は、図83と同じである。

【0312】(第27の実施形態)図86は、本発明の第27の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図82とほぼ同様の回路構成、動作、効果をもつが、異なる点は、負荷容量の安定用強誘電体キャパシタを備えた点である。

【0313】(第28の実施形態)図87は、本発明の第28の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。本実施形態は、先に説明した先願発明(特願平9-153137号、特願平9-346404号)と同様に、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、セルトランジスタのゲートは、ワード線WLA0～WLA3, WLB0～WLB3に接続される。

【0314】1つのセルブロックは、4個(多数個も可能)の直列接続されたメモリセルで構成されており、一端はプレート(PLA, PLA)に接続されている。ここまでは先願と同じである。本実施形態においては、セルブロックの他端は、セルブロック選択トランジスタを介してサブビット線/SBLに接続されている。複数個のセルブロックが、サブビット線/SBLに接続され

61

ている。同様に、サブビット線SBL側にも複数個のセルブロックが接続されている。

【0315】この図では、具体的に言うと4個のセルブロック、即ちWLA0～WLA3をゲート、/PLAをプレート、BSA0をセルブロック選択信号とし、/SBLに接続される左上セルブロックと、WLA0～WLA3をゲート、PLAをプレート、BSA1をセルブロック選択信号とし、SBLに接続される左下セルブロックと、WLB0～WLB3をゲート、/PLBをプレート、BSB0をセルブロック選択信号とし、/SBLに接続される右上セルブロックと、WLB0～WLB3をゲート、PLBをプレート、BSB1をセルブロック選択信号とし、SBLに接続される左上セルブロックとがある。

【0316】トランジスタQ31は、サブビット線(/SBL)をゲート入力として、ソースをVSE電位に接続して、ドレインをビット線BLに接続しており、このトランジスタQ31を用いて/SBLの電位を増幅してビット線BLに伝える。トランジスタQ33は逆に、再書き込み時或いは書き込み時、ブロック書き込み選択信号BSX0をHighにして、ビット線/BLからの書き込み電位を、トランジスタQ33を介してサブビット線/SBLに伝え、セルにデータを再書き込みするのに用いている。

【0317】トランジスタQ32は、サブビット線(SBL)をゲート入力として、ソースをVSE電位に接続して、ドレインをビット線/BLに接続しており、このトランジスタQ32を用いてSBLの電位を増幅してビット線/BLに伝える。トランジスタQ34は逆に、再書き込み時或いは書き込み時、ブロック書き込み選択信号BSX1をHighにして、ビット線BLからの書き込み電位を、トランジスタQ34を介してサブビット線SBLに伝え、セルにデータを再書き込みするのに用いている。

【0318】トランジスタQ35、Q36は、サブビット線プリチャージ信号SBEをゲート入力として、サブビット線/SBL、SBLをある電位(VSB)にプリチャージするのに用いる。上記サブビット線と複数個のセルブロックと、増幅トランジスタ、ブロック書き込み選択トランジスタ、サブビット線プリチャージトランジスタを含むユニットを、ここではゲインセルブロックとする。

【0319】ビット線対(/BL, BL)には、複数個の前記ゲインセルブロックが接続されている。この図の例では、3個までのゲインセルブロックが表示されているが、何個でも良い。そして、ビット線対(/BL, BL)は右端でセンスアンプ回路に接続されている。図87では省略してあるが、この図87の構成をワード線方向に複数個配置して、1つのセルアレイを構成する。

【0320】本実施形態の特徴を簡単に言うと、図1は

62

セルブロック内で自己増幅機能を有していたが、図87では、同じサブビット線に接続される複数のセルブロックで自己増幅機能を有して、これをさらに上の階層のビット線対に接続して、これをセンスアンプ回路に接続する構成を取る。従来FRAMが有効な領域よりは微細化が進み、図1が有効な領域ほどは微細化が進んでいなく、メモリセルの強誘電体キャパシタの分極量と比較して、セルブロック内の寄生容量が小さい場合有効であり、複数セルブロックが接続されるサブビット線を負荷容量として、セルデータを読み出し、これを増幅トランジスタで増幅して、ビット線に信号を読み出し、センスアンプで増幅する形態を取る。

【0321】図88は、図87の具体的な動作例を示す信号波形図である。この動作図を参考に図87の動作、効果を説明する。図88は、セルトランジスタQ37と強誘電体キャパシタCF3で構成されるメモリセルのデータを読み出し、再書き込みする場合の動作例を示す。

【0322】まずスタンドバイ時は、全てのワード線WLA0～3、WLB0～3は昇圧電位Vpp、全てのプレート線/PLA, PLA, /PLB, PLBは0V、セルブロック選択信号BSA0, BSA1, BSB0, BSB1は0V、セルトランジスタは全てONしており、全てのセルの強誘電体キャパシタの両端は電氣的にショートされて、さらにセルブロック内のこれらセルキャパシタの両端の電位は、プレート線が0Vのため全て0Vになっている。また、ブロック書き込み選択信号は全て0Vにしておくことにより、トランジスタQ38, Q39はOFFしており、セルブロックとサブビット線は分離している。

【0323】また、サブブロック選択プリチャージ信号SBEはHighにしてあり、サブビット線/SBL, SBLはVSBに接続され、ここではVSB=0Vに設定してあるので、サブビット線/SBL, SBLは0Vになっている。サブビット線/SBL, SBLが0V、VSEが0Vのため、増幅トランジスタQ31, Q32もOFFしているし、ブロック書き込み選択信号BSX0, BSX1も0Vになっているため、ブロック書き込み選択トランジスタQ33, Q34もOFFしている。よって、ビット線/BL, BLとサブビット線/SBL, SBLは完全に分離されている。

【0324】ビット線/BL, BLは従来FRAMにおいては0Vにプリチャージする必要があったが、本発明においては、従来DRAMと同様に(1/2)VBLHにプリチャージすることができる。

【0325】動作時は、選択したセルブロックの、例えば左上のセルブロックのメモリセル(Q37, CF3)選択時の動作を説明する。まず、選択メモリセルにつながるワード線WLA2を0Vに下げ、セルトランジスタQ37をOFFする。同時に或いは前後して、サブビット線を固定するサブブロック選択プリチャージ信号SB

63

Eを下げ、サブブロック選択プリチャージトランジスタQ35、Q36をOFFする。さらに、ビット線/B_L、B_Lを(1/2)VBLHのままフローティングにする。

【0326】ここで、その他のセルブロックのセルブロック選択トランジスタQ39、Q40、Q41はOFFしたままである。これにより、セルトランジスタQ37はOFF、Q38はON、サブビット線/SBLはフローティングであるため、選択したセルの強誘電体キャパシタCF3の右側の端子からセルブロック内、さらにサブビット線/SBLまでは全てつながり、かつ0Vでフローティングになる。次に、選択した左上のセルブロックに接続されるプレート/PLAのみを0VからVBLHに上げる。PLAから選択した強誘電体キャパシタの左側端子までVBLH電位が印加される。このとき、CF3の右側の端子からセルブロック選択トランジスタまでと/SBLの容量が負荷容量CLとなり、強誘電体キャパシタに“1”データが書き込んであれば、分極反転して、セルデータがサブビット線/SBLに読み出され、/SBLの電位が0Vから2V_s+V_oに上がる。強誘電体キャパシタに“0”データが書き込んであれば、分極反転せず、CF3の常誘電体成分容量とCLの容量比分だけ、サブビット線/SBLの電位上がり、/SBLの電位はV_oとなる。

【0327】このとき、対をなすサブビット線SBLの電位は、Q39、Q41がOFFのため、0Vのままである。ここで、VSE電位を0Vに設定しておく、増幅トランジスタQ31のゲート電位は“1”データ時に2V_s+V_o、“0”データ時にV_o、ソース電位(=VSE)は0V、ドレイン電位(=/BL)は(1/2)VBLHとなり、トランジスタQ31のしきい値電圧V_tをV_o<V_t<2V_s+V_oに設計しておく、図88に示すように、“1”データ時にトランジスタQ31はONしているため、(1/2)VBLHにプリチャージされているBLは増幅トランジスタQ31を介して、VSEに電流が流れることにより、(1/2)VBLHから電位が下がり始める。ここで、センスアンプ動作前の下がった電位を(1/2)VBLH-2V_{st}と定義する。

【0328】逆に、“0”データ時、トランジスタQ31はOFFしているため、(1/2)VBLHにプリチャージされているBLは増幅トランジスタQ31を介して、VSEに電流が流れず、(1/2)VBLHのままである。このとき、定電流駆動トランジスタを用いたダミーセル等を用いて、/BL電位を“1”データ時BL側が下がる電位の半分の電位下げるように設定すると(即ちセンス動作前、(1/2)VBLH-V_{st})、センスアンプ動作前、“1”データ時、BLは(1/2)VBLH-2V_{st}、/BLは(1/2)VBLH-V_{st}となりV_{st}の電位差が図87の右端のセンスアンプに入力され、フリップフロップ型のセンスアンプで増幅され、BLは0V、/BLはVBLHとなる。

【0329】また、“0”データ時、BLは(1/2)VBL

64

H、/BLは(1/2)VBLH-V_{st}となりV_{st}の電位差が図87の右端のセンスアンプに入力され、フリップフロップ型のセンスアンプで増幅され、BLはVBLH、/BLは0Vとなる。

【0330】なお、上記増幅トランジスタのしきい値電圧は、V_t<V_oの領域であった場合、/BLとBLの両方が増幅トランジスタがONして、/BL、BL電位が下がるわけであるが、この場合でも駆動電流に大きな違いがあり、ダミーセルの駆動電流を適切に設計すれば問題無い。また、VSEの電位は0Vでも良いし、しきい値の補正のため、ある一定の電位でも良い(即ち、VSEを0Vから上げた分だけ見かけ上増幅トランジスタのしきい値電圧を上げることができる)。

【0331】データの再書き込み時、サブビット線/SBLに接続されるブロック書き込み制御信号BSX0のみV_{pp}に上げる。すると、0V或いは、VBLHに増幅されたビット線/B_Lの電位が/SBLに書き込まれ、

“1”データ時に/SBLはVBLHとなり、“0”データ時に/SBLは0Vになる。このとき、プレート電位(=選択強誘電体キャパシタの左側の端子)はVBLHのため、“0”データ時、強誘電体キャパシタには-VBLHの電圧(強誘電体キャパシタの右側の端子を正と定義)が印加され、“0”データが再書き込みされる。“1”データ時は、その後、プレート/PLAが0Vに下げられ、選択強誘電体キャパシタの左側の端子も0Vになった時、強誘電体キャパシタにはVBLHの電圧(強誘電体キャパシタの右側の端子を正と定義)が印加され、“1”データが再書き込みされる。

【0332】これら一連の動作において、SBL電位はずっと0Vのままなので、下の左右セルブロックのデータは保持されたまま安定であるし、Q40もOFFしているため、右上のセルブロックのデータも安定である。例えば、外部から異なるデータを書き込む場合(ライト・モード)や、データの読み出し後に外部データを書き込む場合(リード・モディファイ・ライト)、BS0がHighになったあと書き込めば良い。

【0333】再書き込み終了後は、まずブロック書き込み選択信号BSX0をHighから0Vに下げる。これにより、/BL側から/SBLへの干渉は無くなる。その後、WLA2を上げ、さらにセルブロック選択信号BSA0を下げると、選択されていたセルの強誘電体キャパシタは電氣的にショートされ、全てのセルブロック内のノードは0Vになる。これら動作と同時に或いは前後して、ビット線対/B_L、B_Lを電氣的にショートしてやれば、ビット線対は(1/2)VBLHになり、SBEをHighに戻せば、サブビット線対も0Vにさがり、スタンバイ状態に戻る。

【0334】本実施形態においては、ビット線のプリチャージ電位を(1/2)VBLHにしているが、これができるのは、セル情報分極反転読み出すための負荷容量はサブピ

ット線/SBL, SBLで行い、ビット線/BL, BLはセル情報分極反転読み出すための負荷容量では無いためである。このため、ビット対を電氣的にショートするだけでプリチャージ電位である $(1/2)V_{BLH}$ が得られ、ビット線の充放電による消費電力を従来DRAM同様従来DRAMの半分に低減できるし、ビット線の充放電によるノイズを低減できる。

【0335】以上、図87の回路図と図88の動作例で示したように、先願と同じように、強誘電体キャパシタとセルトランジスタを並列接続して、1セルとしてこれを複数直列接続して、これにブロック選択トランジスタを接続してセルブロックを構成することにより、4F²サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能となる。

【0336】また、従来のDRAMにおいては、高密度化して設計ルールが縮小し、セルの強誘電体キャパシタ面積が設計ルールのほぼ2乗で縮小し、メモリセルの強誘電体キャパシタの分極量が減少するにも拘わらず、ビット線容量がそれほど減少しないため、読み出し信号量が減少して動作が困難になる問題点が合った。これに対し本実施形態では、サブビット線を増幅トランジスタのゲートに入力して、ドレイン端子をビット線に接続することにより、メモリセルの分極反転読み出しにより、セルブロックからサブビット線に読み出されたデータを増幅して、ビット線に伝えることができる。

【0337】このとき、強誘電体キャパシタが分極反転するときの負荷容量CLは、CF3の右側の端子からセルブロック選択トランジスタまでとサブビット線/SBLの総計容量となり、サブビット線に接続されるセルブロック数を、先願のビット線に接続されるセルブロック数より少なくしてやれば、ビット線容量に比べて大幅に小さい値を取ることができ、強誘電体キャパシタサイズが小さくなくても、/SBLに読み出される信号量、即ち“1”データ時 $2V_s + V_o$ 、“0”データ時 V_o の差の $1/2$ である V_s の値は、大きな値を取ることが可能になる。これを増幅トランジスタQ31で増幅するため、いくらビット線/BL, BLの容量が大きくても安定動作が可能となる。

【0338】例えば、サブビット線に接続されるセルブロック数を先願のビット線に接続されるセルブロック数の $1/16$ にしてやれば、サブビット線の容量はほぼ $1/16$ となり、強誘電体キャパシタの面積を $1/16$ に縮小しても動作すると言うわけである。(正確には、セルブロック内の容量も含まれるため、 $1/16$ より大きい値となる、但し、この場合でも、ブロック数を $1/32$ 化等してやれば問題無い)。

【0339】これは逆に言うと、本実施形態によれば、ビット線容量を増加しても、増幅トランジスタがビット線に読み出す信号を増幅するのに時間がかかるだけで、

いくらでもビット線容量を増加できる。即ち、1本のビット線に接続されるゲインセルブロック数をいくらでも増加できるため、従来FRAMのような、チップ面積に占めるセンスアンプ面積が15%~20%もある問題を解決して、ビット線に接続されるゲインセルブロック数を増加させ、センスアンプ数を減らし、センスアンプ面積のオーバーヘッドをほとんど無くすることによりチップサイズを小さくする効果がある。

【0340】本実施形態におけるセルブロック内部の負荷容量CLは、サブビット線に接続されるセルブロック数、セルブロックに直列接続されるセル数数の増減により変更が容易である。このことは、強誘電体キャパシタサイズが大きい時は、サブビット線に接続されるセルブロック数、セルブロックに直列接続されるセル数数を増加してCLを大きくして設計し、強誘電体キャパシタサイズが小さい時は、サブビット線に接続されるセルブロック数、セルブロックに直列接続されるセル数を減らしてCLを小さくして設計し、サブビット線に読み出される信号量を確保すれば良いことを示す。この2つのサブビット線に接続されるセルブロック数、セルブロックに直列接続されるセル数数のパラメータは独立して選択できる。

【0341】この方式は、セルブロックに直列接続されるセルの容量+サブビット線の容量で負荷容量CLが決まるわけであり、図1のセルブロックに直列接続されるセルの容量に比べて、大きな値を取り得る。よって、図5に示したように、設計ルールが比較的緩いが、従来FRAMでは強誘電体キャパシタの分極量が不足するケースで有効である。例えば世代が進むに従って、ビット線に接続されるゲインセルブロック数を2, 4, 8, 16, 32, 64と増やして行き、逆にサブビット線に接続されるセルブロック数を64, 32, 16, 8, 4, 2と減らして行けば良い。

【0342】このとき、選択したワード線の位置により、セル内の容量が変化して負荷容量CLも変化する問題があるため、サブビット線に接続されるセルブロック数が減った場合、セルブロック内のセル数も問題無い程度にへらした方が望ましい。即ち、サブビット線部容量/セルブロック内容量の比率を一定値以上に保つのが望ましい。例えば3以上の方が良い。また、図87と図1を組み合わせ、即ち図1の増幅トランジスタを無くし、ブロック書き込み選択トランジスタをブロック選択トランジスタとしたものをセルブロックとして、図87のような構成を取ると、負荷容量はブロックユニット内部容量+反対側のブロックユニット内部容量+サブビット線容量となり、より負荷容量が安定する。

【0343】負荷容量CLが小さい場合、サブビット線に読み出される電位は確かに大きく確保できるが、総電荷量が小さいため、セルデータ読み出し時のサブビット線の拡散層に当るソフトエラーが問題となる。この問題

に於て、上記直列セル数、サブビット線に接続されるセルブロック数の調整が有効であることは図1、図2、図4の説明から言うまでもない。即ち、設計ルールが緩く、ソフトエラーが厳しい状況では、これら数を増加させ負荷容量を追加してやれば、 $Q_s = V_s \times C_L$ であり、多少 V_s が減っても Q_s が多くなり、より多くの反転電荷がサブビット線に読み出され、この問題はクリアできる。

【0344】設計ルールが小さくなるに従って、ソフトエラーレートが下がるに従って、ソフトエラーが問題無い程度に、これら数を徐々に減らして、サブビット線に読み出される信号量を確保すれば、良いことが分かる。従来の自己増幅機能のあるメモリセルではこの調整をしようすると、図237(d)のセルに限定される上、常誘電体キャパシタ面積が非常に大きくなり、コスト的に困難である。

【0345】従来の自己増幅機能のあるメモリセルと比較すると、常誘電体キャパシタの大きな図237(d)のセルと同じ安定動作、正常動作を可能にしつつ、本実施形態によれば、1個のセルブロック内のセル数を増加するほど、1本のサブビット線に接続されるセルブロック数が増加するほど、複数のメモリセルで、前記増幅トランジスタと書き込みトランジスタを共用でき、セルサイズのオーバーヘッドを極めて小さなものにできる。

【0346】図87、図88の動作のもう1つの特徴は、セル信号により SBL の電位が上がると、増幅トランジスタにより、ビット線対の反対側の BL の電位を下げる方式である。ビット線に読み出された信号をセンスアンプで増幅すると、 BL 側を上げる結果となり、ブロック書き込み選択トランジスタを介して SBL 電位を正に上げるように再書き込みでき、つじつまが合う、この方式の場合、必ず増幅トランジスタのソース側が VSE となり、サブビット線(SBL , SBL)の電位がそのまま、ゲートソース間電位となり、ビット線の電位に拘わらず“1”データの場合増幅トランジスタが常にON、“0”データの場合常にOFFと制御し易いことが特徴である。

【0347】言葉を変えると、ビット線電位が増幅され下がってもゲートソース間電位は一定であり、ドレインソース電位が $(1/2)\text{VBLH}$ と大きく5極管動作であり、定電流駆動であるため、ダミーセルが製造し易いことを意味する。もちろん図87の回路は1セルに1個の情報を記憶する1トランジスタ+1キャパシタ方式であるが、2セルに1個の情報を記憶する2トランジスタ+2キャパシタ方式が動作を変えるだけで実現できる。

【0348】これは図88において、 PLA ばかりでなく PLA も駆動して、 BS0 ばかりでなく BS1 も $\text{Low} \rightarrow \text{High} \rightarrow \text{Low}$ と駆動すれば容易に実現できる。例えば、1トランジスタ+1キャパシタ方式でテストを行い、欠陥セルをスクリーニングして、リダンダン

シーで置換え、実際の製品としては、信頼性の高い2トランジスタ+2キャパシタ方式で動作させる方法とかがこれに当てはまる。

【0349】また本実施形態によれば、図88に示すように、従来FRAMに比べて、ブロック書き込み制御信号をセル読み出し後にクロッキングするオーバーヘッド以外は動作が遅くなる要因が無く、高速動作が期待できる。本方式において、 WLA0 を下げるタイミングとビット線及びサブビット線のイコライズを解除するタイミングが同時に行えるメリットを考慮すると、上のオーバーヘッドは相殺できる。

【0350】また従来FRAMは、各セル毎にプレートを分離する必要がある上、プレートの強誘電体キャパシタの負荷が大きい点、プレート抵抗が大きい点、プレートドライバサイズを大きくできない(大きくすると、ワード線1本毎にプレートドライバがあるためチップサイズ増)ためドライバの駆動能力低い等、プレート動作が遅い問題点が合った。これに対し本実施形態は先願を同じく、プレートドライバが複数のワード線で共有でき、駆動能力大、プレート線が本数が少ないため、メタル配線にしたり配線幅が大きくなり抵抗成分が小さい上、負荷容量は殆ど強誘電体キャパシタ容量で決まるため変わらず、結果として高速プレート駆動が可能となる。

【0351】以上、図87と図88の効果をまとめる、

1) 先願と同様に、 $4F^2$ サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能。

【0352】2) 設計ルールが縮小して、強誘電体キャパシタ面積が縮小しても、それに合わせて分極反転時の負荷容量であるサブビット線容量が低減でき、十分な読み出し信号電圧が得られ、増幅トランジスタを用いてビット線を増幅するため、安定動作が可能。

【0353】3) $(1/2)V_{dd}$ ($=V_{BLH}$) ビット線プリチャージが適用でき、低消費電力、低ノイズ。

4) 従来FRAMと同様動作原理が単純で、しかも高速プレート動作により高速動作が可能。

【0354】5) ビット線容量が大きくても読み出し可能であるため、ビット線に接続できるセルブロック数を多くでき、結果としてセンスアンプ面積を低減できる。

6) ルール縮小により、強誘電体キャパシタの分極量の減少に合わせて、セルブロック内の直列セル数や、サブビット線に接続されるセルブロック数を減らせば、最適化が可能。

【0355】7) 設計ルールが緩く、ソフトエラーが厳しい状況では、セルブロックの直列セル数や、サブビット線に接続されるセルブロック数を増加させ、負荷容量を追加して読み出し電荷を増やせば、ソフトエラーを抑えられ、設計ルールが小さくなるに従って、ソフトエラ

ーレートが下がるに従って、ソフトエラーが問題無い程度に、強誘電体キャパシタサイズと、直列セル数や、サブビット線に接続されるセルブロック数を徐々に減らし、サブビット線に読み出される信号量を確保すれば良い。

【0356】8) 複数のセルブロックで、増幅トランジスタと、書き込みトランジスタ、サブビット線選択ブリチャージトランジスタを共用することにより、セルサイズのオーバーヘッドを極めて小さなものにできる。

【0357】9) 分極反転の為に負荷容量として、サブビット線の容量を利用でき、ほぼ安定に動作が可能。

10) セルブロックのセル数、サブビット線に接続されるセルブロック数を変えることにより、自由に負荷容量の調整が可能。

【0358】11) サブビット線の信号でビット線対の反対側のビット線を増幅トランジスタで駆動することにより安定な増幅動作が可能となる。

12) サブビット線の寄生容量が負荷容量となりうるため、セルブロック内の寄生容量だけでは、負荷容量が不足な、微細化が進んでいるがそれほど無い領域から、従来のFRAM構成では、僅かにメモリセルの強誘電体キャパシタの分極量が不足する領域までの広いレンジをカバー可能である。

【0359】図89～図91は、図87の具体的な別の動作例を示す信号波形図である。いずれも、図87のゲインセルブロック構成で、図9のセンスアンプ回路を用いた場合の動作波形例を示している。図89は図12

(b)のキャパシタカップリング型ダミーセルを用いた場合を示し、図90は図16(a)の定電流型ダミーセルを用いた場合を示し、図91は図16(b)の定電流型ダミーセルを用いた場合を示す。もちろん図87の構成でも、固定のサブビット線容量に選択したワード線の位置により変化するセルブロック内容量を持つため、負荷容量は多少変化する。よってもちろん、図12

(c)、図16(c)タイプのダミーセルが可能だし、図87をベースに改良したメモリセルを用いるダミーセルも可能である。

(第29の実施形態) 図92は、本発明の第29の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図93は、図92の具体的な動作例を示す信号波形図である。

【0360】図92は、図87とほぼ同一の構成であり、殆どの効果が図87と同じである。異なる点は、サブビット線/SBLをゲート入力とする増幅トランジスタのソースがビット線/BL側に接続され、ドレインがVSE電位に接続される。サブビット線SBLをゲート入力とする増幅トランジスタのソースがビット線BL側に接続され、ドレインがVSE電位に接続される点である。即ち、読み出すビット線と、書き込みを行うビット

線が同じビット線/BL或はBLである点である。図93の動作では、VSEがビット線プリチャージ電圧より高く設定されており、増幅トランジスタにより、増幅トランジスタがON時、ビット線が上に増幅して上がることが分かる。ビット線対はVssプリチャージが望ましいが、Vt設定により図93のような(1/2)VLHプリチャージ方式が適用できる。

【0361】(第30の実施形態) 図94は、本発明の第30の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図95は、図94の具体的な動作例を示す信号波形図である。

【0362】図94は図87とほぼ同一の構成であり、殆どの効果が図87と同じである。異なる点は、図87の左上下のセルブロックをワード線方向を軸に折り返し、右上下のセルブロックをワード線方向を軸に折り返している点である。これにより、左上下のセルブロックと右上下のセルブロックの2種類のプレート線を共有できるメリットがあることが分かる。なお、図87の例でも4個以上のセルブロックを同じサブビット線に接続する場合も同様にプレートは共有できる。動作している点を除けば動作は図88と同じである。

【0363】(第31の実施形態) 図96は、本発明の第31の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図97は、図96の具体的な動作例を示す信号波形図である。

【0364】図96と図97は、図92と図93の回路及び動作で、図94及び図95と同様にセルブロックを折り返した場合を示す。

【0365】(第32の実施形態) 図98は、本発明の第32の実施形態に係わる半導体記憶装置を示す回路構成図である。図98は図87とほぼ同様の構成であり、殆どの効果が図87と同じである。異なる点は、図87では上のセルブロックと下のセルブロックで、ブロック選択信号を2種類に分けていたが、図98においては1種類のブロック選択信号(BSA, BSB)で制御している。

【0366】図99は、図98の具体的な動作例を示す信号波形図である。図99の動作のように、例えばWL A2を上げ、BSAを上げ、PLAを上げて、左上のセルブロックのセルをサブビット線に読み出す場合、ブロック選択信号を共有したため、サブビット線と左下のセルブロックの内部ノードは接続される。しかし、スタンドバイ時、サブビット線SBLを0Vにプリチャージ、プレート線PLAを0V設定しておけば、サブビット線と左下のセルブロックの内部ノードが接続されても、アクティブ時にPLAは0Vのままで、セルブロックの内部ノードは0Vのままで、サブビット線SBLを0Vのままのため問題が起こらない。

71

【0367】（第33の実施形態）図100は、本発明の第33の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図101は、図100の具体的な動作例を示す信号波形図である。

【0368】図100の回路と図101の動作は、図98と図99とほぼ同一の構成であり、殆どの効果が図98及び図99と同じである。異なる点は、サブビット線からデータの読み出しをするビット線とサブビット線に書き込むビット線が同じ点である。

【0369】（第34の実施形態）図102は、本発明の第34の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図103は、図102の具体的な動作例を示す信号波形図である。

【0370】図102の回路と図103の動作は、図98及び図99とほぼ同一であり、殆どの効果は図98及び図99と同じである。異なる点は、図94及び図95と同様にセルブロックを折り返し、プレートに共有化した点である。

【0371】（第35の実施形態）図104は、本発明の第35の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図105は、図104の具体的な動作例を示す信号波形図である。

【0372】図104の回路と図105の動作は、図102及び図103とほぼ同一であり、殆どの効果が図102及び図103と同じである。異なる点は、サブビット線からデータの読み出しをするビット線とサブビット線に書き込むビット線が同じ点である。

【0373】（第36の実施形態）図106は、本発明の第36の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。

【0374】図106は図87とほぼ同一の構成であり、殆どの効果は図87と同じである。異なる点は、フォールデッドBL構成でプレート駆動読み出し・書き込みを行うため、図87ではプレート線をサブビット線/SBL、SBLに対応して2種類のプレート線を用いていたのに対し、図106においてはプレート線を1種類にして、即ち上のセルブロックと下のセルブロックで同じプレート線を用いている点である。

【0375】図107は、図106の具体的な動作例を示す信号波形図である。図106の方式では $(1/2)V_{dd}$ ($= (1/2)V_{BLH}$) 固定プレート動作が可能となる。アクティブ時、プレート線を V_{PL} ($= (1/2)V_{BLH}$) に固定にしたまま、ワード線 $WLA2$ を下げ、ブロック選択トランジスタ信号 $BSA0$ を上げると、サブビット線/SBLが0Vにプリチャージされているため、左上のセルブロックの選択したセルの強誘電体キャパシタに自動的に

72

$(1/2)V_{BLH}$ の電圧が印加され、セルデータがサブビット線/SBLに読み出される。その後の動作は図87と同じである。

【0376】図87と異なる点は、データ再書き込み時、サブビット線/SBLが0V或いは V_{BLH} にフル振幅されると、プレート線が $(1/2)V_{BLH}$ のため、自動的に $+ (1/2)V_{BLH}$ 或いは $- (1/2)V_{BLH}$ の電位が強誘電体キャパシタに印加されるため、データの再書き込みが可能となる。結局プレート固定のままで、データの読み出し、書き込みができる。この動作の時、左下のセルブロックの $WLA2$ に接続されるメモリセルトランジスタもOFFして、このトランジスタからブロック選択トランジスタまでがフローティングになるが、プレートを駆動しないため、 $(1/2)V_{BLH}$ 電位でフローティングになっているだけで問題無い。

【0377】このアクティブ時のフローティングはpn接合リーク等でこのノードの電位が下がってしまう問題を抱えるが、通常のDRAM、FRAM等のアクティブ時間は最大 $10\mu s$ と規定されており、リークが問題となる $256ms$ 等の最大リフレッシュ時間に比べて桁が小さいので問題無いことが判る。

【0378】（第37の実施形態）図108は、本発明の第37の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。図109は、図108の具体的な動作例を示す信号波形図である。

【0379】図108の回路と図109の動作は、図106及び図107とほぼ同一であり、殆どの効果は図106及び図107と同じである。異なる点は、サブビット線からデータの読み出しをするビット線とサブビット線に書き込むビット線が同じ点である。

【0380】（第38の実施形態）図110及び図111は、本発明の第38の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリブロック構成を示している。

【0381】図110の回路は、図106とほぼ同一の構成であり、殆どの効果は図106と同じである。異なる点は、セルブロックを折り返し、プレートに共有化した点である。

【0382】図111の回路は、図98とほぼ同一の構成であり、ほとんどの効果が図98と同じである。異なる点は、セルブロックを折り返し、プレートに共有化した点である。

【0383】（第39の実施形態）図112は、本発明の第39の実施形態に係わる半導体記憶装置を説明するための平面図であり、特に強誘電体メモリゲインセルブロック構成のレイアウトを示している。図112

(a)は図94の配置位置のトポロジも対応したレイアウト図を示し、図112(b)は図102の配置位置のトポロジも対応したレイアウト図を示し、図112

(c)は図110の配置位置のトポロジも対応したレイアウト図を示す。複数層重ねると判りにくいため、同じレイアウトの各層を図113から図116に分けて表示してある。

【0384】図113(a)～(c)は図112のレイアウトの一部の層のレイアウトに対応し、図114

(a)～(c)は図112のレイアウトの一部の層のレイアウトに対応し、図115(a)～(c)は図112のレイアウトの一部の層のレイアウトに対応し、図116(a)～(c)は図112のレイアウトの一部の層のレイアウトに対応している。

【0385】各レイヤ表示として、拡散層をAA、ゲート層をGC、上部電極層をTE、下部電極層をBE、強誘電体層をFE、サブビット線層をSBL、ビット線層をBL、拡散層-下部電極層間コンタクトをAA-BE-C、拡散層-上部電極層間コンタクトをAA-TE-C、ゲート層-下部電極層間コンタクトをGC-BE-C、上部電極層-ビット線層間コンタクトをTE-BL-C、下部電極層-サブビット線層間コンタクトをBE-SBL-C、上部電極層-サブビット線層間コンタクトをTE-SBL-C、サブビット線-ビット線間コンタクトをSBL-BL-Cと定義している。

【0386】上部電極層及び下部電極層は、強誘電体キャパシタの上下電極層を意味する。図28の配線構成に対して、サブビット線層を1層追加した構成になっており、僅か1層の配線層の追加で、図87～図111の構成が実現できている。また、セルアレイ内でビットが厳しいにも拘わらず、無理なく自己増幅機能を実現するトランジスタが配置できている。

【0387】(第40の実施形態)図117は、本発明の第40の実施形態に係わる半導体記憶装置を説明するための素子構造断面図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図117は、図112(b)のレイアウト構成の断面図に対応していて、図117の(a)、(b)、(c)は、ビット線方向で/BL中央、/BLとBLの中間、BL中央で割った時の断面図に対応する。BEを巧みに用いることによりコンパクトで、設計余裕がありつつ自己増幅機能を実現していることが判る。

【0388】(第41の実施形態)図118は、本発明の第41の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0389】従来の1トランジスタ+1キャパシタ型の強誘電体メモリと同様に、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの直列接続で構成され、セルトランジスタのゲートは、ワード線WL0～WL7に接続される。強誘電体キャパシタの他端はプレート電極(PL0～PL7)に接続されている。

【0390】ここまでは従来FRAMと同じである。本

実施形態においては、セルトランジスタの他端は、サブビット線/SBLに接続されている。複数個のセルが、サブビット線/SBLに接続されている。同様に、サブビット線SBL側にも複数個のセルが接続されている。この図では具体的に言うと、/SBLに4個のメモリセル、SBLに4個のメモリセルが接続されている。各メモリセルのプレート電極は各々分離されている(PL0～PL7)。

【0391】トランジスタQ42は、サブビット線(/SBL)をゲート入力として、ソースをVSE電位に接続して、ドレインをビット線BLに接続しており、このトランジスタQ42を用いて/SBLの電位を増幅してビット線BLに伝える。トランジスタQ45は逆に、再書き込み時、あるいは書き込み時、ブロック書き込み選択信号BS0をHighにして、ビット線/BLからの書き込み電位を、トランジスタQ45を介してサブビット線/SBLに伝え、セルにデータを再書き込みするのに用いている。

【0392】トランジスタQ43は、サブビット線(SBL)をゲート入力として、ソースをVSE電位に接続して、ドレインをビット線/BLに接続しており、このトランジスタQ43を用いてSBLの電位を増幅してビット線/BLに伝える。トランジスタQ46は逆に、再書き込み時或いは書き込み時、ブロック書き込み選択信号BS1をHighにして、ビット線BLからの書き込み電位を、トランジスタQ46を介してサブビット線SBLに伝え、セルにデータを再書き込みするのに用いている。

【0393】トランジスタQ47、Q48は、サブビット線プリチャージ信号SBEをゲート入力として、サブビット線/SBL、SBLをある電位(VSB)にプリチャージするのに用いる。上記、サブビット線と複数個のセルブロックと、増幅トランジスタ、ブロック書き込み選択トランジスタ、サブビット線プリチャージトランジスタを含むユニットを、ここではゲインセルブロックとする。ビット線対(/BL, BL)には、複数個の前記ゲインセルブロックが接続されている。この数は設計により何個でも良い。そして、ビット線対(/BL, BL)の一端でセンスアンプ回路に接続されている。

【0394】本実施形態の特徴を簡単に言うと、図118では、同じサブビット線に接続される複数のセルで自己増幅機能を有して、これをさらに上の階層のビット線対に接続して、これをセンスアンプ回路に接続する構成を取っている、これにより、従来FRAMでは、微細化が進み、メモリセルの強誘電体キャパシタの分極量が減少して、セル読み出し信号量が確保できない時代になったとしても、従来FRAMのビット線に接続されるセル数より、本実施形態のサブビット線に接続されるセル数を少なく設定すれば、軽いサブビット線を負荷容量として、セルデータを読み出すため、十分なサブビットへの

75

読み出し信号量が確保できる。これを増幅トランジスタで増幅して、ビット線に信号を読み出し、センスアンプで増幅する形態を取る。

【0395】図119は、図118の具体的な動作例を示す信号波形図である。この動作図を参考に図118の動作及び効果を説明する。図119は、セルトランジスタQ49と強誘電体キャパシタCF4で構成されるメモリセルのデータを読み出し、再書き込みする場合の動作例を示す。

【0396】まずスタンバイ時は、全てのワード線WL0~7は0Vでセルトランジスタは全てOFFしており、全てのプレート線PL0~PL7は0V、またブロック書き込み選択信号BS0、BS1は全て0Vにしてある。また、サブブロック選択プリチャージ信号SBEはHighにしてあり、サブビット線/SBL、SBLはVSBに接続され、ここではVSB=0Vに設定してあるので、サブビット線/SBL、SBLは0Vになっている。サブビット線/SBL、SBLが0V、VSEが0Vのため、増幅トランジスタQ42、Q43もOFFしているし、ブロック書き込み選択信号BS0、BS1も0Vになっているため、ブロック書き込み選択トランジスタQ45、Q46もOFFしている。

【0397】よって、ビット線/BL、BLとサブビット線/SBL、SBLは完全に分離されている。ビット線/BL、BLは従来FRAMにおいては、0Vにプリチャージする必要があったが、本実施形態においては従来DRAMと同様に、(1/2)VBLHにプリチャージすることができる。

【0398】メモリセル(Q49、CF4)選択時の動作を説明する。まず、サブビット線を固定するサブブロック選択プリチャージ信号SBEを下げ、サブブロック選択プリチャージトランジスタQ47、Q48をOFFする。本実施形態では、サブビット線の両側にこのサブブロック選択プリチャージトランジスタQ47、Q48が配置されている。さらに、ビット線/BL、BLを(1/2)VBLHのままフローティングにする。

【0399】次に、ワード線WL0をVppに上げ、セルトランジスタQ49をONする。次に、選択したセルに対応するプレート線PL0を0VからVBLHに上げる。このとき、複数のセルが接続されるサブビット線/SBLの容量が負荷容量CLとなり、強誘電体キャパシタに“1”データが書き込んであれば、分極反転して、セルデータがサブビット線/SBLに読み出され/SBLの電位が0Vから2Vs+Voに上がる。強誘電体キャパシタに“0”データが書き込んであれば、分極反転せず、CF4の常誘電体成分容量とCLの容量比だけ、サブビット線/SBLの電位上がり、/SBLの電位はVoとなる。

【0400】このとき、対をなすサブビット線SBLの電位は、これに接続される全てのセルトランジスタがO

76

FFであり、ブロック書き込み選択信号BS1も0Vになっているため0Vのままである。ここで、VSE電位を0Vに設定しておく、増幅トランジスタQ42のゲート電位は“1”データ時に2Vs+Vo、“0”データ時にVo、ソース電位(=VSE)は0V、ドレイン電位(=/BL)は(1/2)VBLHとなる。

【0401】そして、トランジスタQ42のしきい値電圧VtをVo<Vt<2Vs+Voに設計しておく、図119に示すように、“1”データ時、トランジスタQ42はONしているため、(1/2)VBLHにプリチャージされているBLは増幅トランジスタQ42を介して、VSEに電流が流れることにより、(1/2)VBLHから電位が下がり始める。ここで、センスアンプ動作前の下がった電位を(1/2)VBLH-2Vstと定義する。逆に、“0”データ時、トランジスタQ42はOFFしているため、(1/2)VBLHにプリチャージされているBLは増幅トランジスタQ42を介して、VSEに電流が流れず、(1/2)VBLHのままである。

【0402】このとき、定電流駆動トランジスタを用いたダミーセル等を用いて、/BL電位を“1”データ時BL側が下がる電位の半分の電位下げるように設定すると(即ちセンス動作前、(1/2)VBLH-Vst)、センスアンプ動作前、“1”データ時、BLは(1/2)VBLH-2Vst、/BLは(1/2)VBLH-VstとなりVstの電位差が図118の右端のセンスアンプに入力され、フリップフロップ型のセンスアンプで増幅され、BLは0V、/BLはVBLHとなる。また、“0”データ時、BLは(1/2)VBLH、/BLは(1/2)VBLH-VstとなりVstの電位差が図118の右端のセンスアンプに入力され、フリップフロップ型のセンスアンプで増幅され、BLはVBLH、/BLは0Vとなる。

【0403】なお、上記増幅トランジスタのしきい値電圧は、Vt<Voの領域であった場合、/BLとBLの両方が増幅トランジスタがONして、/BL、BL電位が下がるわけであるが、この場合でも駆動電流に大きな違いがあり、ダミーセルの駆動電流を適切に設計すれば問題無い。また、VSEの電位は0Vでも良いし、しきい値の補正のため、ある一定の電位でも良い(即ち、VSEを0Vから上げた分見かけ上増幅トランジスタのしきい値電圧を上げることができる)。

【0404】データの再書き込み時、サブビット線/SBLに接続されるブロック書き込み制御信号BS0のみVppに上げる。すると、0V或いはVBLHに増幅されたビット線/BLの電位が/SBLに書き込まれ、“1”データ時に/SBLはVBLHとなり、“0”データ時に/SBLは0Vになる。このとき、プレート線(PL0)はVBLHのため、“0”データ時、強誘電体キャパシタには-VBLHの電圧(強誘電体キャパシタの右側の端子を正と定義)が印加され、“0”データが再書き込みされる。“1”データ時は、その後、プレートPL0が

77

0 Vに下げられ、強誘電体キャパシタには VBLH の電圧（強誘電体キャパシタの右側の端子を正と定義）が印加され、“1”データが再書き込みされる。

【0405】これら一連の動作において、SBL電位はずっと0 Vのままなので、下の左右セルブロックのデータは保持されたまま、安定である。例えば、外部から異なるデータを書き込む場合（ライト・モード）や、データの読み出し後外部データを書き込む場合（リード・モディファイ・ライト）、BSOがHighになったあと書き込めば良い。再書き込み終了後は、まずブロック書き込み選択信号BSOをHighから0 Vに下げる。これにより、/BL側から/SBLへの干渉は無くなる。その後、WLOを下げるとセルデータは保持される。その後、ビット線対/BL、BLを電氣的にショートしてやれば、ビット線対は(1/2)VBLHになり、SBEをHighに戻せば、サブビット線対も0 Vに下がり、スタンバイ状態に戻る。

【0406】本実施形態においては、ビット線のプリチャージ電位を(1/2)VBLHにしているが、これができるのは、セル情報分極反転読み出すための負荷容量はサブビット線/SBL、SBLで行い、ビット線/BL、BLはセル情報分極反転読み出すための負荷容量では無いためである。このため、ビット対を電氣的にショートするだけでプリチャージ電位である(1/2)VBLHが得られ、ビット線の充放電による消費電力を従来DRAM同様に従来FRAMの半分に低減できるし、ビット線の充放電によるノイズを低減できる。

【0407】以上、図118の回路図と図119の動作例で示したように、従来FRAMと同じメモリセルを用いるため、DRAMと同様な高密度化がはかれる。さらに、従来のFRAMにおいては、高密度化して設計ルールが縮小し、セルの強誘電体キャパシタ面積が設計ルールのほぼ2乗で縮小し、メモリセルの強誘電体キャパシタの分極量が減少するにも拘わらず、ビット線容量がそれほど減少しないため読み出し信号量が減少して、動作が困難になる問題点があった。

【0408】これに対し本実施形態では、サブビット線を増幅トランジスタのゲートに入力して、ドレイン端子をビット線に接続することにより、メモリセルの分極反転読み出しにより、セルブロックから、サブビット線に読み出されたデータを増幅して、ビット線に伝えることができる。このとき、強誘電体キャパシタが分極反転するときの負荷容量CLは、サブビット線/SBLの容量となり、サブビット線に接続されるセル数を、先願のビット線に接続されるセルブロック数より少なくしてやれば、ビット線容量に比べて大幅に小さい値を取ることができる。

【0409】そして、強誘電体キャパシタサイズが小さくなくても、/SBLに読み出される信号量、即ち“1”データ時 $2V_s + V_o$ 、“0”データ時 V_o の差

78

の1/2である V_s の値は、大きな値を取ることが可能になる。これを増幅トランジスタQ42で増幅するため、いくらビット線/BL、BLの容量が大きくても安定動作が可能となる。

【0410】例えば、サブビット線に接続されるセルブロック数を先願のビット線に接続されるセルブロック数の1/16にしてやれば、サブビット線の容量はほぼ1/16となり、強誘電体キャパシタの面積を1/16に縮小しても動作すると言うわけである。これは逆に言うと本実施形態によれば、ビット線容量を増加しても、増幅トランジスタがビット線に読み出す信号を増幅するのに時間がかかるだけで、いくらでもビット線容量を増加できる。

【0411】即ち、1本のビット線に接続されるゲインセルブロック数をいくらでも増加できるため、従来FRAMのような、チップ面積に占めるセンスアンプ面積が15~20%もある問題を解決して、ビット線に接続されるゲインセルブロック数を増加させ、センスアンプ数を減らし、センスアンプ面積のオーバーヘッドを殆ど無くすることによりチップサイズを小さくする効果がある。

【0412】本実施形態におけるセルブロック内部の負荷容量CLは、サブビット線に接続されるセル数の増減により変更が容易である。このことは、強誘電体キャパシタサイズが大きい時は、サブビット線に接続されるセル数を大きくして設計し、強誘電体キャパシタサイズが小さい時は、サブビット線に接続されるセル数を減らしてCLを小さくして設計し、サブビット線に読み出される信号量を確保すれば良いことを示す。よって、図5に示したように、設計ルールが比較的緩いが、従来FRAMでは、強誘電体キャパシタの分極量が不足するケースで有効である。例えば世代が進みに従って、ビット線に接続されるゲインセルブロック数を2、4、8、16、32、64と増やして行き、逆にサブビット線に接続されるセル数を512、256、128、64、32、16、8と減らして行けば良い。

【0413】このとき、選択したワード線の位置により、セル内の容量が変化して負荷容量CLも変化する問題はこの発明では存在しない。負荷容量CLが小さい場合、サブビット線に読み出される電位は確かに大きく確保できるが、総電荷量が小さいため、セルデータ読み出し時のサブビット線の拡散層に当るソフトエラーが問題となる。この問題に対して、上記サブビット線に接続されるセル数の調整が有効であることは図4の説明から言うまでもない。即ち、設計ルールが緩く、ソフトエラーが厳しい状況では、これら数を増加させ、負荷容量を追加してやれば、 $Q_s = V_s \times CL$ であり、多少 V_s が減っても、 Q_s が多くなり、より多くの反転電荷がサブビット線に読み出され、この問題はクリアできる。

【0414】設計ルールが小さくなるに従って、ソフトエラーレートが下がるに従って、ソフトエラーが問題無

い程度に、これら数を徐々に減らして、サブビット線に読み出される信号量を確保すれば、良いことが分かる。従来の自己増幅機能のあるメモリセルではこの調整をしようとすると、図237(d)のセルに限定される上、常誘電体キャパシタ面積が非常に大きくなり、コスト的に困難である。

【0415】従来の自己増幅機能のあるメモリセルと比較すると、常誘電体キャパシタの大きな図237(d)のセルと同じ安定動作、正常動作を可能にしつつ、本実施形態によれば、1本のサブビット線に接続されるセルブロック数が増加するほど、複数のメモリセルで、前記増幅トランジスタと書き込みトランジスタ及びサブブロック選択プリチャージトランジスタを共用でき、セルサイズのオーバーヘッドを極めて小さなものにできる。

【0416】図118と図119の動作のうち1つの特徴は、セル信号により/SBLの電位が上がると、増幅トランジスタによりビット線対の反対側のBLの電位を下げる方式である。ビット線に読み出された信号をセンスアンプで増幅すると、/BL側を上げる結果となり、ブロック書き込み選択トランジスタを介して/SBL電位を正に上げるように、再書き込みでき、つじつまが合う、この方式の場合、必ず増幅トランジスタのソース側がVSEとなり、サブビット線(/SBL, SBL)の電位がそのまま、ゲートソース間電位となり、ビット線の電位に拘わらず、“1”データの場合増幅トランジスタが常にON、“0”データの場合常にOFFと制御し易いことが特徴である。

【0417】言葉を変えると、ビット線電位が増幅され下がってもゲートソース間電位は一定であり、ドレインソース電位が(1/2)VBLHと大きく、5極管動作であり、定電流駆動であるため、ダミーセルが製造し易いことを意味する。もちろん図118の回路は1セルに1個の情報を記憶する1トランジスタ+1キャパシタ方式であるが、2セルに1個の情報を記憶する2トランジスタ+2キャパシタ方式が動作を変えるだけで実現できる。

【0418】これは図119において、PL0ばかりでなくPL1も駆動して、BS0ばかりでなくBS1もLow→High→Lowと駆動すれば容易に実現できる。例えば、1トランジスタ+1キャパシタ方式でテストを行い、欠陥セルをスクリーニングして、リダンダンシーで置換え、実際の製品としては、信頼性の高い2トランジスタ+2キャパシタ方式で動作させる方法とかがこれに当てはまる。

【0419】また本実施形態によれば、図119に示すように、従来FRAMに比べて、ブロック書き込み制御信号をセル読み出し後にクロッキングするオーバーヘッド以外は動作が遅くなる要因が無く、高速動作が期待できる。むしろ自己増幅機能により、ある一定の信号値がビット線に読み出される速度が速くなり、上記ペナルティを克服できる。

【0420】以上、図118と図119の効果をまとめると、

1) 従来FRAMと同様に8F²サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能。

【0421】2) 設計ルールが縮小して、強誘電体キャパシタ面積が縮小しても、それに合わせて分極反転時の負荷容量であるサブビット線容量が低減でき、十分な読み出し信号電圧が得られ、増幅トランジスタを用いてビット線を増幅するため、安定動作が可能。

【0422】3) (1/2)V_{dd}(=VBLH)ビット線プリチャージが適用でき、低消費電力、低ノイズ。

【0423】4) 従来FRAMと同様に、動作原理が単純である。

【0424】5) ビット線容量が大きくても読み出し可能であるため、ビット線に接続できるゲインセルブロック数を多くでき、その結果としてセンスアンプ面積を低減できる。

【0425】6) ルール縮小により、強誘電体キャパシタの分極量の減少に合わせて、サブビット線に接続されるセル数を減らせれば、最適化が可能。

【0426】7) 設計ルールが緩く、ソフトエラーが厳しい状況では、サブビット線に接続されるセル数を増やさせ、負荷容量を追加して読み出し電荷を増やせば、ソフトエラーを抑えられ、設計ルールが小さくなるに従って、ソフトエラーレートが下がるに従って、ソフトエラーが問題無い程度に、強誘電体キャパシタサイズと、サブビット線に接続されるセル数を徐々に減らして、サブビット線に読み出される信号量を確保すれば良い。

【0427】8) 複数のセルで、増幅トランジスタ、書き込みトランジスタ、サブビット線選択プリチャージトランジスタを共用することにより、セルサイズのオーバーヘッドを極めて小さなものにできる。

【0428】9) 分極反転のための負荷容量として、サブビット線の容量を利用でき、ほぼ安定に動作が可能。

【0429】10) サブビット線に接続されるセル数を変えることにより、自由に負荷容量の調整が可能。

【0430】11) サブビット線の信号でビット線対の反対側のビット線を増幅トランジスタで駆動することにより、安定な増幅動作が可能となる。

【0431】12) サブビット線の寄生容量が負荷容量となりうるため、微細化が進んで、完全に強誘電体キャパシタの分極量が小さい不足する領域から、従来のFRAM構成では、僅かにメモリセルの強誘電体キャパシタの分極量が不足する領域までの広いレンジをカバー可能である。

【0432】(第42の実施形態) 図120は、本発明の第42の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロッ

ク構成を示している。

【0433】図120は図118と同様な構成を取り同様な効果を持つが、異なる点は、図118ではサブビット線の両側にサブブロック選択プリチャージトランジスタを配置していたが、図120では一端のみに配置して、面積を低減していることである。動作法は、図119と同一である。

【0434】(第43の実施形態)図121は、本発明の第43の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0435】図121は図118と同様な構成を取り同様な効果を持つが、異なる点は、図118ではサブビット線の両側にサブブロック選択プリチャージトランジスタを配置していたが、図121ではサブブロック選択プリチャージトランジスタ自身を無くし、面積を低減している。

【0436】図122は、図121の具体的な動作例を示す信号波形図である。殆どの動作は図119と同様であるが、サブビット線を0Vにプリチャージする手段が無いので、図122に示すように、ブロック書き込み選択信号BS0をHighのまま、ワード線WL0を下げて、0V或いはVBLHに増幅したビット線対を一旦0Vにさげ、その後でブロック書き込み選択信号BS0を下げるにより、サブビット線/SBL、SBLを0Vにプリチャージすることができる。

【0437】その後、ビット線は(1/2)VBLHにプリチャージし直している。サブビット線/SBL、SBLを一旦0Vにプリチャージしておけば、サブビット線につながる拡散層とウエル間のpn接合によりウエル電位を0Vに保てば、スタンドバイ中或いは他のサブビット線選択中であっても、サブビット線/SBL、SBLは0Vになったままであり、次にこのサブビット線につながるセルを選択しても、正常動作が可能となる。

【0438】(第44の実施形態)図123及び図124は、本発明の第44の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0439】図123は、図120と完全に等価な回路構成をしている。図120と異なる点は、自己増幅機能をゲインセルブロックの一端に集め、サブブロック選択プリチャージトランジスタを他端に集める、増幅トランジスタとブロック書き込み選択信号の配置を分離する等、配置のトポロジが異なるのみであり、その効果は図120とほぼ同じである。

【0440】図124は、図121と完全に等価な回路構成をしている。図121と異なる点は、自己増幅機能をゲインセルブロックの一端に集め、サブブロック選択プリチャージトランジスタを他端に集める、増幅トランジスタとブロック書き込み選択信号の配置を分離する

等、配置のトポロジが異なるのみであり、効果と動作は図121及び図122とほぼ同じである。

【0441】(第45の実施形態)図125は、本発明の第45の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0442】図125は、図118とほぼ同じ構成であり、効果もほぼ同じである。図118と異なる点は、サブビット線からデータの読み出しをするビット線とサブビット線に書き込むビット線が同じ点である。

【0443】図126は、図125の具体的な動作例を示す信号波形図である。サブビット線からデータの読み出しをするビット線とサブビット線に書き込むビット線を同じにするため、VSE電位をビット線プリチャージ電位より高く設定している。

(第46の実施形態)図127は、本発明の第46の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0444】図127は、図125と同様な構成を取り同様な効果を持つが、異なる点は、図125ではサブビット線の両側にサブブロック選択プリチャージトランジスタを配置していたが、図127では一端のみに配置して、面積を低減している。動作法は、図125と同一である。

【0445】(第47の実施形態)図128は、本発明の第47の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0446】図128は、図125と同様な構成を取り同様な効果を持つが、異なる点は、図125ではサブビット線の両側にサブブロック選択プリチャージトランジスタを配置していたが、図128ではこのトランジスタを削除し、面積を低減している。

【0447】図129は、図128の具体的な動作例を示す信号波形図である。図126と図122を混合した動作をする。

【0448】(第48の実施形態)図130及び図131は、本発明の第48の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0449】図130は、等価回路及び効果が図127と同じで、ただトランジスタ配置のトポロジが異なる。図131は、等価回路及び効果が図128と同じで、ただトランジスタ配置のトポロジが異なる。

【0450】(第49の実施形態)図132は、本発明の第49の実施形態に係わる半導体記憶装置を説明するための平面図であり、特に強誘電体メモリのブロック構成のレイアウトを示している。図132(a)は、図120の回路とほぼ等価で、トポロジも対応するレイアウト

83

ト図である。異なる点は、サブビット線に接続されるセル数がレイアウトでは2倍あり、さらにプレート線が2セルで共有されている点である。これは、プレートを容易に分離できる。図132(b)は、図123の回路とほぼ等価で、トポロジも対応するレイアウト図である。異なる点は、サブビット線に接続されるセル数がレイアウトでは2倍あり、さらにプレート線が2セルで共有されている点である。これは、プレートを容易に分離できる。

【0451】図133～図135は、図132のレイアウトにおける一部の層のレイアウトを示すものであり、図133～図135の(a)(b)は図132の(a)(b)に対応している。また、セルアレイ内でピッチが厳しいにも拘わらず、無理なく自己増幅機能を実現するトランジスタが配置できている。

【0452】(第50の実施形態)図136は、本発明の第50の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にDRAMのゲインセルブロック構成を示している。

【0453】本実施形態は、従来の1トランジスタ+1キャパシタ型のDRAM構成で自己増幅機能を持つゲインセルブロックを構成した場合であり、図136の等価回路は、図118の強誘電体キャパシタを常誘電体キャパシタに置き換えた以外は、図118と同じである。

【0454】図137は、図136の具体的な動作例を示す信号波形図である。図137の動作も殆ど図119と同じであり、異なる点は、分極で情報を記憶していた替わりに、従来DRAMと同様に蓄積電荷で記憶する点と、プレート電圧を駆動式では無く固定のVPL(=1/2)VBLH)に設定している点である。

【0455】図137においては、サブビット線を0Vにプリチャージしておいて、ワード線WL0をHighに上げると、メモリセルの電荷が読み出され、“0”データのセル電位0Vの情報時、サブビット線は0Vで、“1”データのセル電位VBLHの情報時、セル容量とサブビット線容量比に対応してサブビット線/SBLにセル情報が読み出される。これを増幅トランジスタで増幅して、ビット線に伝えこれをセンスアンプで増幅して、この結果をBS0を上げて、サブビット線/SBLに書き戻す。この時もプレートPL電位は(1/2)VBLHのままであり、サブビット線電位0V或いはVBLHがメモリセルに再書き込まれる。この例では、図118と同じ、サブビット線の読み出し信号は増幅され、ビット線対の反対側のビット線BLに伝えられる。

【0456】本実施形態の効果として、

1) 従来DRAMと同様に8F²サイズの高密度のセルを実現しつつ、平面トランジスタで製造の容易化を実現し、さらに高速なランダムアクセス機能を有することが可能。

【0457】2) 設計ルールが縮小して、DRAMキャ

84

パシタ面積が縮小しても、それに合わせて負荷容量であるサブビット線容量が低減でき、十分な読み出し信号電圧が得られ、増幅トランジスタを用いてビット線を増幅するため、安定動作が可能。

3) (1/2)Vdd(=VBLH) ビット線プリチャージが適用でき、低消費電力、低ノイズ。

【0458】4) 従来DRAMと同様動作原理が単純である。

【0459】5) ビット線容量が大きくても読み出し可能であるため、ビット線に接続できるゲインセルブロック数を多くでき、その結果としてセンスアンプ面積を低減できる。

【0460】6) ルール縮小により、常誘電体キャパシタの蓄積電荷量の減少に合わせて、サブビット線に接続されるセル数を減らせば、最適化が可能。

【0461】7) 設計ルールが緩く、ソフトエラーが厳しい状況では、サブビット線に接続されるセル数を増加させ、負荷容量を追加して読み出し電荷を増やせば、ソフトエラーを抑えられ、設計ルールが小さくなるに従って、ソフトエラーレートが下がるに従って、ソフトエラーが問題無い程度に、キャパシタサイズと、サブビット線に接続されるセル数を徐々に減らして、サブビット線に読み出される信号量を確保すれば良い。

【0462】8) 複数のセルで、増幅トランジスタと、書き込みトランジスタ、サブビット線選択プリチャージトランジスタを共用することにより、セルサイズのオーバーヘッドを極めて小さなものにできる。

【0463】10) サブビット線に接続されるセル数を変えることにより、自由に負荷容量の調整が可能。

【0464】11) サブビット線の信号でビット線対の反対側のビット線を増幅トランジスタで駆動することにより安定な増幅動作が可能となる。

【0465】なお、自己増幅機能を持つゲインセルブロック方式をDRAMに適用した場合、確かに読み出し信号量の確保はできるが、DRAMのセルに蓄積された電荷はリークするため、キャパシタ面積が小さくなると、データ保持時間(tREFmax)が低減する可能性がある。しかし、pn接合リーク等はpn接合面積も縮小するため低減でき、それほどはtREFmaxは劣化しない。用途にもよるがtREFmaxが確保できる程度に、キャパシタ面積を縮小することが望ましい。またSOIを用いたDRAMでデータ保持時間が向上する場合は、問題無く本発明の実施形態が有効である。

【0466】図138は、図136の具体的な別の動作例を示す信号波形図である。図137とほぼ動作が同じであるが、異なる点は、サブビット線が(1/2)VBLHにプリチャージされている点である。これにより、ワード線WL0がHighになりセル電荷が読み出されると、サブビット線/SBL電位は、(1/2)VBLH±Vsとなる。これを、増幅トランジスタを介してビット線BLに伝え

ている。なお、サブビット線電位は非選択のゲインセルブロックでも $(1/2)V_{BLH}$ であり、増幅トランジスタがONしてしまうので、選択ゲインセルブロックのみVSEを0Vにして、非選択ゲインセルブロックは $(1/2)V_{BLH}$ のままにしている。

【0467】(第51の実施形態)図139は、本発明の第51の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にDRAMのゲインセルブロック構成を示している。この図139は、図136とほぼ同じ構成、動作、効果を持つ。図136と異なる点は、サブビット線の一端にのみ、サブブロック選択プリチャージトランジスタを配置した点である。

【0468】(第52の実施形態)図140は、本発明の第52の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にDRAMのゲインセルブロック構成を示している。この図140は、図136とほぼ同じ構成、動作、効果を持つ。図136と異なる点は、サブビット線の両端から、サブブロック選択プリチャージトランジスタを削除した点である。

【0469】図141は、図140の具体的な動作例を示す信号波形図である。サブビット線の0Vへのプリチャージは、図122と同じ動作で実現している。

【0470】(第53の実施形態)図142及び図143は、本発明の第53の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にDRAMのゲインセルブロックの構成を示している。

【0471】図142の等価回路及び効果等は、図139と同じで、トランジスタ配置等のトポロジのみ異なる。図143の等価回路及び効果等は、図140と同じで、トランジスタ配置等のトポロジのみ異なる。動作は図141と同じである。

【0472】(第54の実施形態)図144は、本発明の第54の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にDRAMのゲインセルブロック構成を示している。図145は、図144の具体的な動作例を示す信号波形図である。図146は、図144の具体的な別の動作例を示す信号波形図である。

【0473】図144は、図136と等価回路及び効果がほぼ同じで、異なる点は、サブビット線の信号を増幅した結果を、このサブビット線に再書き込みするビット線と同じビット線に読み出す点である。図145と図146の動作も図137と図138とほぼ同じで、VSE電位、増幅トランジスタの読み出し先が異なる点以外は、同じである。

【0474】(第55の実施形態)図147は、本発明の第55の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にDRAMのゲインセルブロック構成を示している。この図147は、図144とほぼ同じ構成、動作、効果を持つ。図144と異なる点は、サブビット線の一端にのみ、サブブロック選択プリチャージト

ランジスタを配置した点である。

【0475】(第56の実施形態)図148は、本発明の第56の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にDRAMのゲインセルブロック構成を示している。この図148は、図144とほぼ同じ構成、動作、効果を持つ。図144と異なる点は、サブビット線の両端から、サブブロック選択プリチャージトランジスタを削除した点である。

【0476】図149は、図148の具体的な動作例を示す信号波形図である。サブビット線の0Vへのプリチャージは、図122と同様であり、動作で実現している。

【0477】(第57の実施形態)図150及び図151は、本発明の第57の実施形態に係わる半導体記憶装置を示す回路構成図であり、特にDRAMのゲインセルブロックの構成を示している。

【0478】図150の等価回路及び効果等は、図147と同じで、トランジスタ配置等のトポロジのみ異なる。動作は図145及び図146と同じである。図151の等価回路及び効果等は、図148と同じで、トランジスタ配置等のトポロジのみ異なる。動作は図149と同じである。

【0479】(第58の実施形態)図152は、本発明の第58の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのメモリセル構成を示している。

【0480】この図152は、ブロック単位で自己増幅機能を持たせる方式に適用できる新しい、1トランジスタ+1強誘電体キャパシタ型の強誘電体メモリの配置構成である。このセルは6F²サイズで小さいセルサイズを実現しつつ、フォールデッドBL方式を実現する強誘電体メモリセルである。特徴は、同じワード線に対して、サブビット線対/SBL、SBLの両方のビット線に接続される2個のメモリセルが接続されているが、プレート線は異なるプレート線に接続されていることである。

【0481】(第59の実施形態)図153は、本発明の第59の実施形態に係わる半導体記憶装置を説明するための平面図であり、特に強誘電体メモリのメモリセル構成のレイアウトを示している。

【0482】図154及び図155は、図153のレイアウト平面図の一部レイアウト層を示す図である。キャパシタ・オーバ・ビットライン(COB)構造で6F²セルが実現できていることが判る。

【0483】(第60の実施形態)図156は、本発明の第60の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図157は、図156の具体的な動作例を示す信号波形図である。

【0484】図156は、図152のセルを用いた場合

のゲインセルブロック構成を示している。図156の構成はセルを除き、図118と同じで、動作も図119とほぼ同じである。図157に示すようにワード線WL1を選択して、2個のセルが選択され、サブビット線/SBL, SBLとセルノードが接続されても、PL01のみHighレベルになるため、PL2は0Vのままで、SBLもアクティブ中ずっと0Vのままであるため、非選択のメモリセルQ51のデータが破壊されなく、正常動作することが分かる。よって、図118の効果に加え、セルサイズが小さくなる効果がある。

【0485】(第61の実施形態)図158は、本発明の第61の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0486】図158の回路は、図156とほぼ同じ構成、効果がある、異なる点は、サブビット線の一端にのみ、サブブロック選択プリチャージトランジスタを配置した点である。

【0487】(第62の実施形態)図159は、本発明の第62の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図159の回路は、図156とほぼ同じ構成、動作、効果を持つ。異なる点は、サブビット線の両端から、サブブロック選択プリチャージトランジスタを削除した点である。

【0488】図160は、図159の具体的な動作例を示す信号波形図である。サブビット線の0Vへのプリチャージは、図122と同様な動作で実現している。

【0489】(第63の実施形態)図161は、本発明の第63の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。この図161の回路は、図118とほぼ同じ構成及び効果を持つ。図118と異なる点は、複数のセルでプレート線が共通化し、これに対応してプレート線の電位が固定或いは(1/2)VBLHになっている点である。だが、プレート線が0V以上であるため、リーク電流によりストレージノードが0Vに下がると“1”データが破壊されるため、リフレッシュ動作が必要になる。しかし、プレート固定のため高速動作が実現できる。

【0490】図162は、図161の具体的な動作例を示す信号波形図である。サブビット線が0Vにプリチャージされているため、プレート電位が(1/2)VBLHの場合、ワード線WL1を選択するだけで、強誘電体キャパシタには(1/2)VBLHの電圧が印加されセルデータが読み出される。これを、増幅トランジスタで増幅しビット線に伝えている。

【0491】図163は、図161の具体的な別の動作例を示す信号波形図である。これは図162の変形例であり、セルにデータを再書き込み後、セルノードを(1/

2)VBLHにしてからワード線WL1を閉じた場合を示す。

【0492】図164は、図161の具体的な別の動作例を示す信号波形図である。これは、強誘電体キャパシタを用いているがDRAMモード動作時を示す。即ち、パワーON後、図162等の動作でリコールして、強誘電体キャパシタの常誘電体成分で、強誘電体キャパシタにVBLH或いは0V電位を記憶して、その後パワーON中は、図164のようにDRAMと同じ動作をさせた場合を示す。もちろんリフレッシュが必要である。

10 【0493】(第64の実施形態)図165～図168は、本発明の第64の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0494】図165の回路は、図161とほぼ同じ構成、効果がある、異なる点は、サブビット線の一端にのみ、サブブロック選択プリチャージトランジスタを配置した点である。図166の回路は、図161とほぼ同じ構成、動作、効果を持つ。異なる点は、サブビット線の両端から、サブブロック選択プリチャージトランジスタを削除した点である。

20 【0495】図167の回路は、図165と同じ等価回路、効果を持つ。異なるのは、トランジスタ配置等のトポロジが異なる点である。図168の回路は、図166と同じ等価回路、効果を持つ。図165と異なるのは、トランジスタ配置等のトポロジが異なる点である。

【0496】(第65の実施形態)図169は、本発明の第65の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図170は、図169の具体的な動作例を示す信号波形図である。

30 【0497】図169の回路は、図161とほぼ同じ等価回路、効果を持つ。図161と異なるのは、増幅したデータを伝えるビット線とデータを書き込むビット線が同じ点である。

【0498】(第66の実施形態)図171～図174は、本発明の第65の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

40 【0499】図171の回路は、図169の回路とほぼ同じ構成、効果がある。図169と異なるのは、サブビット線の一端にのみ、サブブロック選択プリチャージトランジスタを配置した点である。図172の回路は、図169とほぼ同じ構成、動作、効果を持つ。図169と異なるのは、サブビット線の両端から、サブブロック選択プリチャージトランジスタを削除した点である。

【0500】図173の回路は、図171と同じ等価回路、効果を持つ。図171と異なるのは、トランジスタ配置等のトポロジが異なることである。図174の回路は、図172と同じ等価回路、効果を持つ。図172と異なるのは、トランジスタ配置等のトポロジが異なる点

である。

【0501】(第67の実施形態)以下に示す、図175～図211の実施形態は、上述してきたブロック単位で自己増幅機能を持たせる方式で、1ビットの情報を2個のキャパシタで記憶する2トランジスタ+2キャパシタ(2T-2C)構成の場合を示している。

【0502】図175は、本発明の第67の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。2T-2C構成である点以外は、図1と等価回路、効果は同じである。図1と異なる点は、2T-2C構成であるため、図1のプレートが/PLA、PLAと分離されていたものを1本のPLAにまとめ、プレートが/PLB、PLBと分離されていたものを1本のPLBにまとめている。

【0503】図176は、図176の具体的な動作例を示す信号波形図である。WLA0を下げ、反対側のブロックユニットのPSBを下げ、PLAを上げると、サブビット線対の両方のビット線/SBL、SBL各々に“0”データ、“1”データ、或いは“1”データ、“0”データが読み出される。/SBLのデータは増幅トランジスタでBLに伝えられ、SBLのデータは増幅トランジスタで/BLの伝えられる。この結果をセンスアンプで増幅し、図175の2本のブロック書き込み選択信号BSをHighに上げることにより、/BLのデータを/SBLに再書き込みし、BLのデータをSBLに再書き込みする。PLAをHigh→Lowにしてセルにデータが書き戻される。

【0504】(第68の実施形態)図177は、本発明の第68の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図177の回路は、図175とほぼ同じ等価回路であり、同じ効果がある。図175と異なるのは、サブビット線に安定用常誘電体キャパシタが接続されている点である。これにより、選択したワード線の位置により負荷容量が変化して、動作点が動く問題点を抑制できる。

【0505】図178は、図177の具体的な動作例を示す信号波形図である。これは、図176と同様な動作をする。図176と異なる点は、サブビット線に読み出される信号量が負荷容量が重くなっているため、変化している点である。

【0506】(第69の実施形態)図179は、本発明の第69の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図179の回路は、図175とほぼ同じ等価回路であり、同じ効果がある。図175と異なるのは、サブビット線に安定用強誘電体キャパシタが接続されている点である。これにより、選択したワード線の位置により負荷容量が変化して、動作点が動く問題

点を抑制できる。

【0507】(第70の実施形態)図180は、本発明の第70の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0508】2T-2C構成である点以外は、図55と等価回路、効果は同じである。図55と異なるのは、2T-2C構成であるため、図1のプレートが/PL、PLと分離されていたものを1本のPLにまとめてい点、ブロック書き込み制御信号がBSの1種類のまとめられている点である。

【0509】(第71の実施形態)図181は、本発明の第71の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0510】図181の回路は、図180とほぼ同じ等価回路であり、同じ効果がある。図180と異なるのは、サブビット線に安定用常誘電体キャパシタが接続されている点である。これにより、選択したワード線の位置により負荷容量が変化して、動作点が動く問題点を抑制できる。

【0511】(第72の実施形態)図182は、本発明の第72の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0512】図182の回路は、図180とほぼ同じ等価回路であり、同じ効果がある。図180と異なるのは、サブビット線に安定用常誘電体キャパシタが接続されている点である。これにより、選択したワード線の位置により負荷容量が変化して、動作点が動く問題点を抑制できる。

【0513】(第73の実施形態)図183は、本発明の第73の実施形態に係わる半導体記憶装置を説明するための平面図であり、特に強誘電体メモリのメモリセル構成のレイアウトを示している。これは、図180の回路を実現するレイアウト図である。

【0514】図184及び図185は、図183のレイアウト平面図の一部レイアウト層を示す図である。ピッチが狭いセルアレイに、自己増幅機能がきちんと配置できていることが判る。なお、BSはレイアウトではまとめてある。

【0515】(第74の実施形態)図186は、本発明の第74の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図187は、図186の具体的な動作例を示す信号波形図である。

【0516】図186の回路は、図175とほぼ同一の回路であり、同じ効果がある。図175と異なるのは、増幅したデータを伝えるビット線とデータを書き込むビット線が同じ点である。

91

【0517】（第75の実施形態）図188は、本発明の第75の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図189は、図188の具体的な動作例を示す信号波形図である。

【0518】図188の回路は、図186の回路とほぼ同じ構成で、同じ効果を有する。図186と異なるのは、サブビット線に安定用常誘電体キャパシタが接続されている点である。これにより、選択したワード線の位置により負荷容量が変化して、動作点が動く問題点を抑制できる。

【0519】（第76の実施形態）図190～図195は、本発明の第76の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0520】図190の回路は、図186の回路とほぼ同じ構成で、同じ効果を有する。図186と異なるのは、サブビット線に安定用強誘電体キャパシタが接続されている点である。これにより、選択したワード線の位置により負荷容量が変化して、動作点が動く問題点を抑制できる。図191の回路は、図180とほぼ同じ構成であり、同じ効果を有する。図180と異なるのは、増幅したデータを伝えるビット線とデータを書き込むビット線が同じ点である。

【0521】図192の回路は、図191の回路とほぼ同じ構成であり、同じ効果を有する。図191と異なるのは、サブビット線に安定用常誘電体キャパシタが接続されている点である。図193の回路は、図191の回路とほぼ同じ構成であり、同じ効果を有する。図191と異なるのは、サブビット線に安定用強誘電体キャパシタが接続されている点である。

【0522】図194の回路は、図180の構成と等価であり、これと異なるのは同じ信号の2本のBSが1本にまとめられている点であり、図183のレイアウトとトポロジは同じである。図195の回路は、図194とほぼ同じであり、これと異なるのは、増幅したデータを伝えるビット線とデータを書き込むビット線が同じ点である。

【0523】（第77の実施形態）図196は、本発明の第77の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。本実施形態は、従来の2T-2C構成のFRAMを用いてゲインセルブロックを構成した場合を示す。

【0524】図197は、図196の具体的な動作例を示す信号波形図である。WL0を選択すると、2個の強誘電体キャパシタが各々のサブビット線/SBL、SBLに接続され、PL0を上げると、2個の強誘電体キャパシタの分極情報が/SBL、SBLに伝わり、これを2個の増幅トランジスタで/BL、BLに伝えている。

92

【0525】（第78の実施形態）図198～図201は、本発明の第78の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。

【0526】図198の回路は、図196とほぼ同一回路構成であり、これと異なるのは、サブビット線の一端にのみ、サブブロック選択プリチャージトランジスタを配置した点である。図199の回路は、図196とほぼ同じ構成、動作、効果を持つ。図196と異なるのは、サブビット線の両端から、サブブロック選択プリチャージトランジスタを削除した点である。

【0527】図200の回路は、図197とほぼ同一回路構成であり、これと異なるのは、トランジスタ配置のトポロジが異なる点である。図201の回路は、図199とほぼ同一回路構成であり、これと異なるのは、トランジスタ配置のトポロジが異なる点である。

【0528】（第79の実施形態）図202は、本発明の第79の実施形態に係わる半導体記憶装置を説明するための平面図であり、特に強誘電体メモリのメモリセル構成のレイアウトを示している。図202(a)は図200の回路図及びトポロジを実現するレイアウトであり、図202(b)は図198の回路図及びトポロジを実現するレイアウトである。

【0529】図203(a)(b)は、図202(a)(b)のレイアウト平面図の一部レイアウト層を示す図である。なお、図202(a)においては、WL及びPLは0～3までの例を示している。

【0530】（第80の実施形態）図204は、本発明の第80の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。この図204は、図87とほぼ同じ回路構成で、同じ効果を持つ。図87と異なるのは、2T-2C構成にすることにより、2種類に分離していたプレート線/PLA、PLAが1種類のPLAにまとめられ、セルブロック選択信号BSA0、BSA1を1種類のBSAにまとめている点である。

【0531】図205は、図204の具体的な動作例を示す信号波形図である。動作においても、サブビット線両方にセルデータが読み出されるため、BSX0、BSX1の両方を選択している。

【0532】（第81の実施形態）図206は、本発明の第81の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図207は、図206の具体的な動作例を示す信号波形図である。

【0533】図206は、図204とほぼ同じ回路構成で、同じ効果を持つ。図204と異なるのは、増幅したデータを伝えるビット線とデータを書き込むビット線が同じ点である。

【0534】（第82の実施形態）図208は、本発明

の第 8 2 の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図 209 は、図 208 の具体的な動作例を示す信号波形図である。

【0535】図 208 及びその動作図 209 は、図 204 及び図 205 とほぼ同じ回路構成で同じ効果、同じ動作をする。これらと異なる点は、複数直列接続されるセル群をワード線方向を軸に折り返して、プレート線を共有化している点である。

【0536】(第 8 3 の実施形態) 図 210 は、本発明の第 8 3 の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。図 211 は、図 210 の具体的な動作例を示す信号波形図である。

【0537】図 210 は、図 208 とほぼ同じ回路構成で、同じ効果を持つ。図 208 と異なるのは、増幅したデータを伝えるビット線とデータを書き込むビット線が同じ点である。

【0538】(第 8 4 の実施形態) 図 212 ~ 図 220 は、本発明の第 8 4 の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に強誘電体メモリのゲインセルブロック構成を示している。本実施形態は、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入している点が上記実施形態と異なる。これは、サブビット線が (1/2)VBLH 等にプリチャージされている場合、非選択のゲインセルブロックの増幅トランジスタが ON して、ビット線電位を変化させ誤動作させる問題を回避できる。

【0539】図 212 の回路は、図 1 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入したものである。図 213 の回路は、図 1 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入した構成に、サブビット線に常誘電体キャパシタの負荷容量を追加したものである。図 214 の回路は、図 1 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入した構成に、サブビット線に強誘電体キャパシタの負荷容量を追加した構成を示している。

【0540】図 215 の回路は、図 55 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入したものである。図 216 の回路は、図 55 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入した構成に、サブビット線に常誘電体キャパシタの負荷容量を追加したものである。図 217 の回路は、図 55 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入した構成に、サブビット線に強誘電体キャパシタの負荷容量を追加したものである。

【0541】図 218 の回路は、図 118 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入したものである。図 219 の回路は、図 120 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入したものである。図 220 の回路は、図 121 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入したものである。

【0542】(第 8 5 の実施形態) 図 221 は、本発明の第 8 5 の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に DRAM のゲインセルブロック構成を示している。この図は、図 161 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入した構成を示している。

【0543】図 222 は、図 221 の具体的な動作例を示す信号波形図である。選択したゲインセルブロックでのみ VAC 信号を High にすることにより、サブビット線のデータがビット線に読み出される。この安定動作のおかげで、サブビット線に (1/2)VBLH プリチャージ方式を採用していても、選択、非選択ゲインセルブロックに拘わらず VSE を 0V に設定できることが判る。

【0544】(第 8 6 の実施形態) 図 223 及び図 224 は、本発明の第 8 6 の実施形態に係わる半導体記憶装置を示す回路構成図であり、特に DRAM のゲインセルブロック構成を示している。

【0545】図 223 は、図 165 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入した構成を示している。図 224 は、図 166 の構成に対して、増幅トランジスタとビット線の間に増幅トランジスタ選択トランジスタを挿入した構成を示している。

【0546】(第 8 7 の実施形態) 図 225 は、本発明の第 8 7 の実施形態に係わる半導体記憶装置を説明するための平面図であり、特に DRAM のゲインセルブロック構成のレイアウトを示している。

【0547】この図は、図 223 の回路構成に対応したレイアウト構成である。増幅トランジスタに直列接続で、VAC をゲートとするトランジスタが配置されていることが分かる。この部分の配置例は図 212 ~ 233 にも適用できることは容易に推測できる。なおこのレイアウト図は、サブビット線につながるセル数を図 223 の 2 倍にした例を示している。

【0548】図 226 ~ 図 229 は、図 225 のレイアウト平面図の一部レイアウト層を示す図である。ここで、PA は引き延ばし配線層で、AA-PA-C は拡散層-引き延ばし配線層間コンタクトを示し、PA-BL-C は引き延ばし配線層-ビット線層間コンタクトを示している。

【0549】以上述べた、各構成は全て組み合わせ可能であり、また、その他の変形例、その他各種、複数個の

例において、その数を変更することは容易である。また、セル構造は、先願に示した直列接続するセルの場合、先願の各種セル構造例が本発明に適用できるし、1つのセルに多ビットの情報を持たせる構成や、多値構成が容易に実現できるし、1T-1C型の従来FRAM、DRAMセルの場合で本発明のブロックで自己増幅機能を持たせる場合は、従来FRAM、DRAMの各種メモリセル構造が適用できる。

【0550】

【発明の効果】以上詳述したように本発明によれば、不揮発性の強誘電体メモリにおいて、高密度化して、セルの強誘電体キャパシタ面積が縮小し、メモリセルの強誘電体キャパシタの分極量が減少しても、セルサイズ、チップサイズの増大を抑えつつ、さらにソフトエラーを抑えつつ、十分な読み出し信号電圧を確保して、安定なメモリ動作を可能にする。

【0551】さらに、1) 高密度化、2) 製造の容易化、3) 高速ランダムアクセス機能を保ちつつ、上記効果を有する半導体記憶装置を実現することにある。このように本発明により、製造容易な平面キャパシタでも、16Gb~64Gb FRAMが実現でき、立体キャパシタでは、さらに高密度な256Gb FRAM以上の実現が可能となる。

【0552】さらに、ダイナミック型半導体メモリにおいても、高密度化してメモリセルの強誘電体キャパシタの分極量が減少しても、セルサイズ、チップサイズの増大を抑えつつ、さらにデータリテンションは向上しないが、ソフトエラーを抑えつつ、十分な読み出し信号電圧を確保して、安定なメモリ動作を可能にする。

【図面の簡単な説明】

【図1】第1の実施形態に係わる強誘電体メモリのセルブロック構成を示す回路図。

【図2】図1の具体的な動作例を示す信号波形図。

【図3】図1の他の具体的な動作例を示す信号波形図。

【図4】本発明に適用できる動作点設計を説明するための図。

【図5】本発明に適用できるアレイ構成設計指針を示す図。

【図6】第2の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図7】第2の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図8】第3の実施形態に係わる強誘電体メモリのメモリマット（セルアレイ）全体の構成を示す回路図。

【図9】第4の実施形態に係わるセンスアンプ構成とセルアレイのブロック構成を示す回路図。

【図10】図9の実施形態の具体的な動作例を示す信号波形図。

【図11】第5の実施形態に係わるセンスアンプ構成とセルアレイのブロック構成を示す回路図。

【図12】第6の実施形態に係わるダミーセル構成を示す回路図。

【図13】図12(a)のダミーセルの動作例を示す信号波形図。

【図14】図12(b)のダミーセルの動作例を示す信号波形図。

【図15】図12(c)のダミーセルの動作例を示す信号波形図。

【図16】第7の実施形態に係わるダミーセル構成を示す回路図。

【図17】図16(a)のダミーセルの動作例を示す信号波形図。

【図18】図16(b)のダミーセルの動作例を示す信号波形図。

【図19】図16(c)のダミーセルの動作例を示す信号波形図。

【図20】第8の実施形態に係わるダミーセル構成を示す図。

【図21】図20のダミーセルの動作例を示す信号波形図。

【図22】図20のダミーセルの動作点設計指針を示す図。

【図23】第9の実施形態に係わる強誘電体メモリのセルブロック、セルアレイ、センスアンプ構成を示す回路図。

【図24】第10の実施形態に係わる、複数の強誘電体メモリアレイと複数のセンスアンプ配置例を示す図。

【図25】第11の実施形態に係わるメモリチップ構成、ロジック混載構成、RF-IDカード構成を示す図。

【図26】第12の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図27】図26の具体的な動作例を示す信号波形図。

【図28】第13の実施形態に係わる強誘電体メモリのブロック構成のレイアウトを示す平面図。

【図29】図28(a)の増幅トランジスタとブロック書き込み選択トランジスタ部分の拡大レイアウト図。

【図30】図29のレイアウトの一部の層のレイアウトを示す図。

【図31】図29のレイアウトの一部の層のレイアウトを示す図。

【図32】図29のレイアウトの一部の層のレイアウトを示す図。

【図33】図28(b)の増幅トランジスタとブロック書き込み選択トランジスタ部分の拡大レイアウト図。

【図34】図29のレイアウトの一部の層のレイアウトを示す図。

【図35】図29のレイアウトの一部の層のレイアウトを示す図。

【図36】図29のレイアウトの一部の層のレイアウト

を示す図。

【図 37】図 28 (a) (b) に共通のプレート選択トランジスタとプレート線の部分の拡大レイアウト図。

【図 38】図 37 のレイアウトの一部の層のレイアウトを示す図。

【図 39】図 37 のレイアウトの一部の層のレイアウトを示す図。

【図 40】第 14 の実施形態に係わる強誘電体メモリのブロック構成を示す断面図。

【図 41】第 14 の実施形態に係わる強誘電体メモリのブロック構成を示す断面図。 10

【図 42】第 14 の実施形態に係わる強誘電体メモリのブロック構成を示す断面図。

【図 43】第 14 の実施形態に係わる強誘電体メモリのブロック構成を示す断面図。

【図 44】第 15 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 45】図 44 の具体的な動作例を示す信号波形図。

【図 46】図 44 の具体的な動作例を示す信号波形図。

【図 47】第 16 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。 20

【図 48】図 47 の具体的な動作例を示す信号波形図。

【図 49】図 47 の具体的な動作例を示す信号波形図。

【図 50】第 17 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 51】第 17 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 52】第 18 の実施形態に係わる強誘電体メモリのブロック構成のレイアウト図。

【図 53】図 52 のレイアウト図の一部レイヤ層を示す図。 30

【図 54】図 52 のレイアウト図の一部レイヤ層を示す図。

【図 55】第 19 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 56】図 55 の具体的な動作例を示す信号波形図。

【図 57】図 55 の具体的な動作例を示す信号波形図。

【図 58】第 20 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 59】図 58 の具体的な動作例を示す信号波形図。 40

【図 60】第 21 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 61】図 60 の具体的な動作例を示す信号波形図。

【図 62】図 60 の具体的な動作例を示す信号波形図。

【図 63】第 22 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 64】図 63 の具体的な動作例を示す信号波形図。

【図 65】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 66】第 23 の実施形態に係わる強誘電体メモリの 50

ブロック構成を示す回路図。

【図 67】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 68】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 69】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 70】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 71】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 72】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 73】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 74】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 75】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 76】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 77】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 78】第 23 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 79】第 24 の実施形態に係わる強誘電体メモリのブロック構成のレイアウトを示す平面図。

【図 80】図 79 のレイアウトの一部の層のレイアウトを示す図。

【図 81】図 79 のレイアウトの一部の層のレイアウトを示す図。

【図 82】第 25 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 83】図 82 の具体的な動作例を示す信号波形図。

【図 84】第 26 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 85】図 84 の具体的な動作例を示す信号波形図。

【図 86】第 27 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 87】第 28 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 88】図 87 の具体的な動作例を示す信号波形図。

【図 89】図 87 の具体的な動作例を示す信号波形図。

【図 90】図 87 の具体的な動作例を示す信号波形図。

【図 91】図 87 の具体的な動作例を示す信号波形図。

【図 92】第 29 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 93】図 92 の具体的な動作例を示す信号波形図。

【図 94】第 30 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 9 5】図 9 4 の具体的な動作例を示す信号波形図。

【図 9 6】第 3 1 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 9 7】図 9 6 の具体的な動作例を示す信号波形図。

【図 9 8】第 3 2 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 9 9】図 9 8 の具体的な動作例を示す信号波形図。

【図 1 0 0】第 3 3 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 1 0 1】図 1 0 0 の具体的な動作例を示す信号波形図。

【図 1 0 2】第 3 4 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 1 0 3】図 1 0 2 の具体的な動作例を示す信号波形図。

【図 1 0 4】第 3 5 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 1 0 5】図 1 0 4 の具体的な動作例を示す信号波形図。

【図 1 0 6】第 3 6 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 1 0 7】図 1 0 6 の具体的な動作例を示す信号波形図。

【図 1 0 8】第 3 7 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 1 0 9】図 1 0 8 の具体的な動作例を示す信号波形図。

【図 1 1 0】第 3 8 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 1 1 1】第 3 8 の実施形態に係わる強誘電体メモリのブロック構成を示す回路図。

【図 1 1 2】第 3 9 の実施形態に係わる強誘電体メモリのゲインセルブロック構成のレイアウトを示す平面図。

【図 1 1 3】図 1 1 2 のレイアウトの一部の層のレイアウトを示す図。

【図 1 1 4】図 1 1 2 のレイアウトの一部の層のレイアウトを示す図。

【図 1 1 5】図 1 1 2 のレイアウトの一部の層のレイアウトを示す図。

【図 1 1 6】図 1 1 2 のレイアウトの一部の層のレイアウトを示す図。

【図 1 1 7】第 4 0 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す断面図。

【図 1 1 8】第 4 1 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 1 9】図 1 1 8 の具体的な動作例を示す信号波形図。

【図 1 2 0】第 4 2 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 2 1】第 4 3 の実施形態に係わる強誘電体メモリ

のゲインセルブロック構成を示す回路図。

【図 1 2 2】図 1 2 1 の具体的な動作例を示す信号波形図。

【図 1 2 3】第 4 4 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 2 4】第 4 4 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 2 5】第 4 5 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 2 6】図 1 2 5 の具体的な動作例を示す信号波形図。

【図 1 2 7】第 4 6 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 2 8】第 4 7 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 2 9】図 1 2 8 の具体的な動作例を示す信号波形図。

【図 1 3 0】第 4 8 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 3 1】第 4 8 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 1 3 2】第 4 9 の実施形態に係わる強誘電体メモリのブロック構成のレイアウトを示す平面図。

【図 1 3 3】図 1 3 2 のレイアウトの一部の層のレイアウトを示す図。

【図 1 3 4】図 1 3 2 のレイアウトの一部の層のレイアウトを示す図。

【図 1 3 5】図 1 3 2 のレイアウトの一部の層のレイアウトを示す図。

【図 1 3 6】第 5 0 の実施形態に係わる D R A M のゲインセルブロック構成を示す回路図。

【図 1 3 7】図 1 3 6 の具体的な動作例を示す信号波形図。

【図 1 3 8】図 1 3 6 の具体的な動作例を示す信号波形図。

【図 1 3 9】第 5 1 の実施形態に係わる D R A M のゲインセルブロック構成を示す回路図。

【図 1 4 0】第 5 2 の実施形態に係わる D R A M のゲインセルブロック構成を示す回路図。

【図 1 4 1】図 1 4 0 の具体的な動作例を示す信号波形図。

【図 1 4 2】第 5 3 の実施形態に係わる D R A M のゲインセルブロック構成を示す回路図。

【図 1 4 3】第 5 3 の実施形態に係わる D R A M のゲインセルブロック構成を示す回路図。

【図 1 4 4】第 5 4 の実施形態に係わる D R A M のゲインセルブロック構成を示す回路図。

【図 1 4 5】図 1 4 4 の具体的な動作例を示す信号波形図。

【図 1 4 6】図 1 4 4 の具体的な動作例を示す信号波形

図。

【図147】第55の実施形態に係わるDRAMのゲインセルブロック構成を示す回路図。

【図148】第56の実施形態に係わるDRAMのゲインセルブロック構成を示す回路図。

【図149】図148の具体的な動作例を示す信号波形図。

【図150】第57の実施形態に係わるDRAMのゲインセルブロック構成を示す回路図。

【図151】第57の実施形態に係わるDRAMのゲインセルブロック構成を示す回路図。 10

【図152】第58の実施形態に係わる強誘電体メモリメモリセル構成を示す回路図。

【図153】第59の実施形態に係わる強誘電体メモリメモリセル構成のレイアウトを示す平面図。

【図154】図153のレイアウト平面図の一部レイアウト層を示す図。

【図155】図153のレイアウト平面図の一部レイアウト層を示す図。

【図156】第60の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。 20

【図157】図156の具体的な動作例を示す信号波形図。

【図158】第61の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図159】第62の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図160】図159の具体的な動作例を示す信号波形図。

【図161】第63の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。 30

【図162】図161の具体的な動作例を示す信号波形図。

【図163】図161の具体的な動作例を示す信号波形図。

【図164】図161の具体的な動作例を示す信号波形図。

【図165】第64の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図166】第64の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。 40

【図167】第64の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図168】第64の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図169】第65の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図170】図169の具体的な動作例を示す信号波形図。

【図171】第66の実施形態に係わる強誘電体メモリ 50

のゲインセルブロック構成を示す回路図。

【図172】第66の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図173】第66の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図174】第66の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図175】第67の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図176】図176の具体的な動作例を示す信号波形図。

【図177】第68の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図178】図177の具体的な動作例を示す信号波形図。

【図179】第69の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図180】第70の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図181】第71の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図182】第72の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図183】第73の実施形態に係わる強誘電体メモリメモリセル構成のレイアウトを示す平面図。

【図184】図183のレイアウト平面図の一部レイアウト層を示す図。

【図185】図183のレイアウト平面図の一部レイアウト層を示す図。

【図186】第74の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図187】図186の具体的な動作例を示す信号波形図。

【図188】第75の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図189】図188の具体的な動作例を示す信号波形図。

【図190】第76の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図191】第76の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図192】第76の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図193】第76の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図194】第76の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図195】第76の実施形態に係わる強誘電体メモリメモリセルブロック構成を示す回路図。

【図196】第77の実施形態に係わる強誘電体メモリ

のゲインセルブロック構成を示す回路図。

【図 197】図 196 の具体的な動作例を示す信号波形図。

【図 198】第 78 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 199】第 78 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 200】第 78 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 201】第 78 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 202】第 79 の実施形態に係わる強誘電体メモリのメモリセル構成のレイアウトを示す平面図。

【図 203】図 202 のレイアウト平面図の一部レイアウト層を示す図。

【図 204】第 80 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 205】図 204 の具体的な動作例を示す信号波形図。

【図 206】第 81 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 207】図 206 の具体的な動作例を示す信号波形図。

【図 208】第 82 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 209】図 208 の具体的な動作例を示す信号波形図。

【図 210】第 83 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 211】図 210 の具体的な動作例を示す信号波形図。

【図 212】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 213】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 214】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 215】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 216】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 217】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 218】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 219】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 220】第 84 の実施形態に係わる強誘電体メモリのゲインセルブロック構成を示す回路図。

【図 221】第 85 の実施形態に係わる DRAM のゲイ

ンセルブロック構成を示す回路図。

【図 222】図 221 の具体的な動作例を示す信号波形図。

【図 223】第 86 の実施形態に係わる DRAM のゲインセルブロック構成を示す回路図。

【図 224】第 86 の実施形態に係わる DRAM のゲインセルブロック構成を示す回路図。

【図 225】第 87 の実施形態に係わる DRAM のゲインセルブロック構成のレイアウトを示す平面図。

【図 226】図 225 のレイアウト平面図の一部レイアウト層を示す図。

【図 227】図 225 のレイアウト平面図の一部レイアウト層を示す図。

【図 228】図 225 のレイアウト平面図の一部レイアウト層を示す図。

【図 229】図 225 のレイアウト平面図の一部レイアウト層を示す図。

【図 230】従来の強誘電体メモリの構成を説明するための図。

【図 231】先願の強誘電体メモリの構成を説明するための回路図と断面図。

【図 232】先願の強誘電体メモリの動作例を説明するための図。

【図 233】先願の強誘電体メモリのアレイ構成例を示す回路図。

【図 234】先願の強誘電体メモリのアレイ構成例を示す回路図。

【図 235】強誘電体膜を薄膜化した場合の特性の変化を示す図。

【図 236】従来の強誘電体メモリにおける、設計ルールとビット線容量、セル分極量の要求量、可能実現量の関係を示す図。

【図 237】従来の自己増幅機能をもつ強誘電体メモリの一覧を説明するための図。

【符号の説明】

Q_i…トランジスタ

C_i…常誘電体キャパシタ

CF_i…強誘電体キャパシタ

／SBL, SBL…サブビット線

／BL, BL, ／BL_i, BL_i…ビット線

WL, WL_i, WLA_i, WLB_i…ワード線

PSA, PSB, PSA_i, PSB_i…プレート選択信号

BS0, BS1, BSX0, BSX1, BS…ブロック書き込み選択信号

SBE…サブブロック選択プリチャージ信号

VSBL…サブビット線プリチャージ電源

／PLA, PLA, ／PLB, PLB, ／PL, PL

PL (／BL), PL (BL) …プレート線

CB…ビット線容量

105

Pr…残留分極量
 AR…アスペクト比
 VSE…増幅トランジスタ駆動用電源
 SEN…nMOSセンスアンプ活性化信号
 /SEP…pMOSセンスアンプ活性化信号
 /EQL…ビット線イコライズ信号
 VBL…ビット線プリチャージ電源
 VBLH…ビット線のHighレベル
 /DQ, DQ…データ線
 CSL…カラム選択線
 $\phi t0$, $\phi t1$ …センスアンプセルアレイ分離信号
 VDWL i…ダミーワード線
 RST, RST…ダミーキャパシタリセット信号
 CD i…ダミーキャパシタ
 /DPL, DPL…ダミープレート線
 /BLSA, BLSA…センスアンプ部のビット線
 VDC, VAC…DC電源
 VDSE…ダミーセル増幅トランジスタ用電源
 Vss' …0 V或いは電源
 Vpp…昇圧電源

106

* /DSBL, DSBL…ダミーサブビット線

VL…固定電源

SN…ストレージノード

AA…拡散層

GC…ゲート層

TE…上部電極層

BE…下部電極層

FE…強誘電体層

SBL…サブビット線層

10 BL…ビット線層

AA-BE-C…拡散層-下部電極層間コンタクト

AA-TE-C…拡散層-上部電極層間コンタクト

GC-BE-C…ゲート層-下部電極層間コンタクト

TE-BL-C…上部電極層-ビット線層間コンタクト

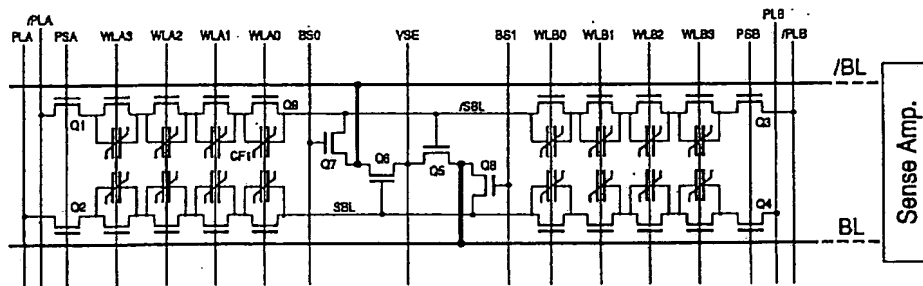
BE-SBL-C…下部電極-サブビット線層間コンタクト

TE-SBL-C…上部電極-サブビット線層間コンタクト

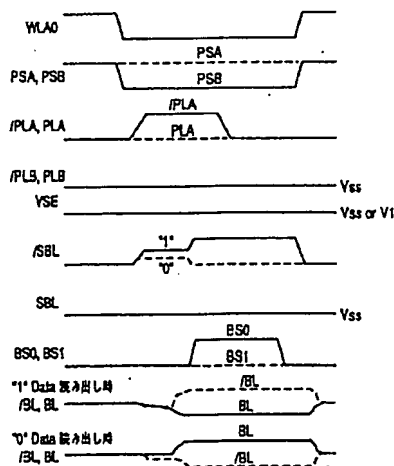
SBL-BL-C…サブビット線-ビット線間コンタクト

* 20 ト

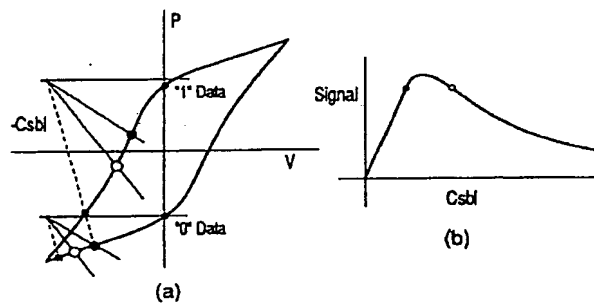
【図1】



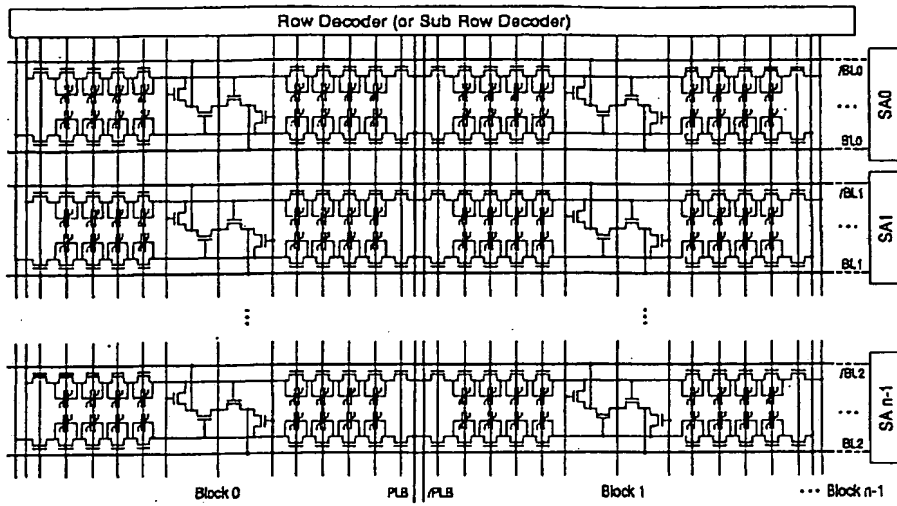
【図2】



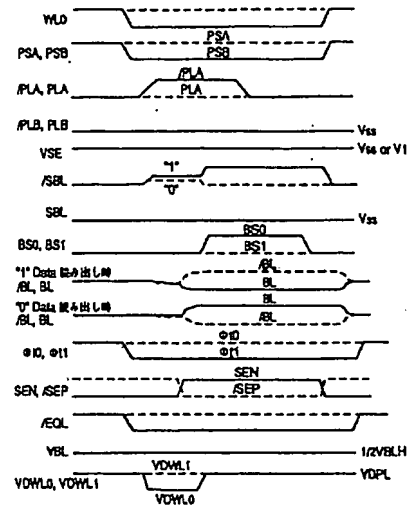
【図4】



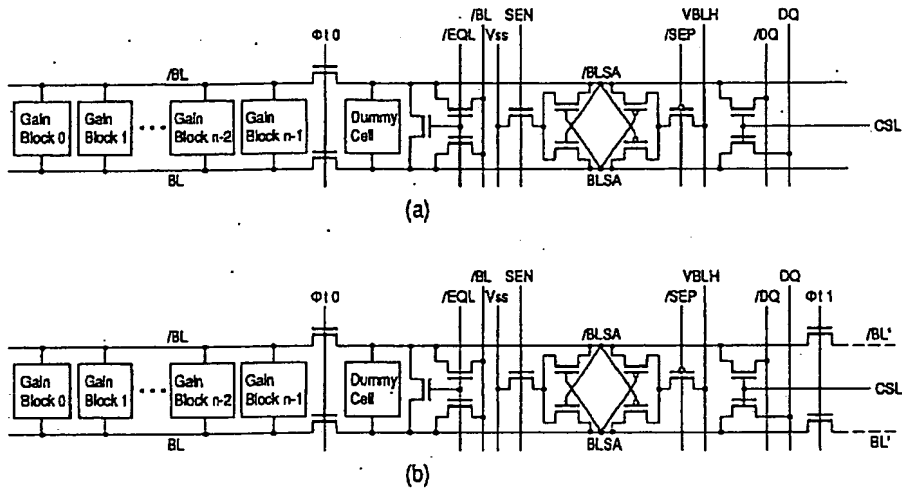
【図 8】



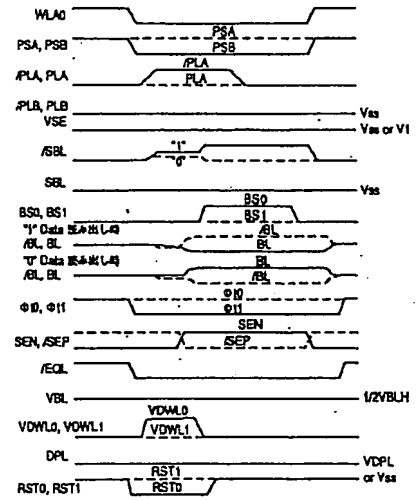
【図 13】



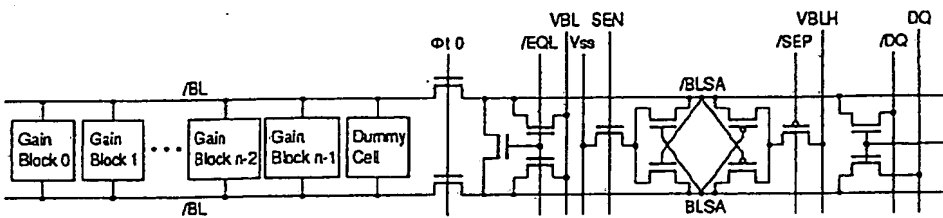
【図 9】



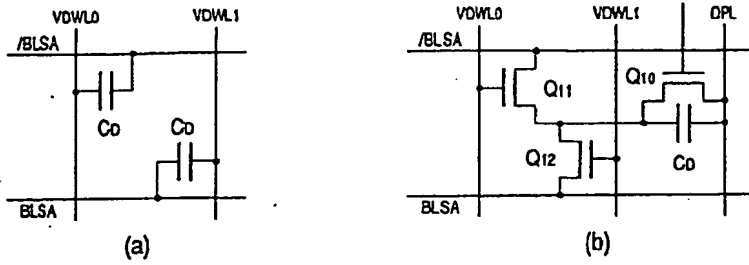
【図 15】



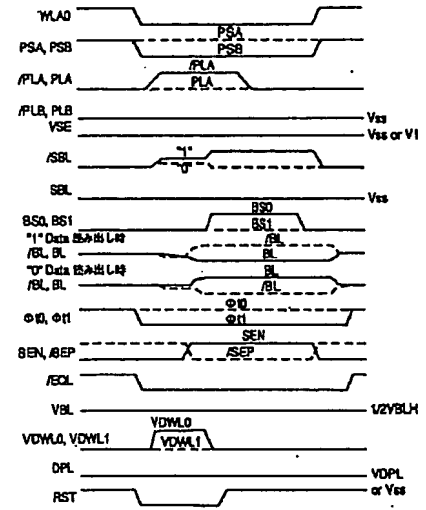
【図 11】



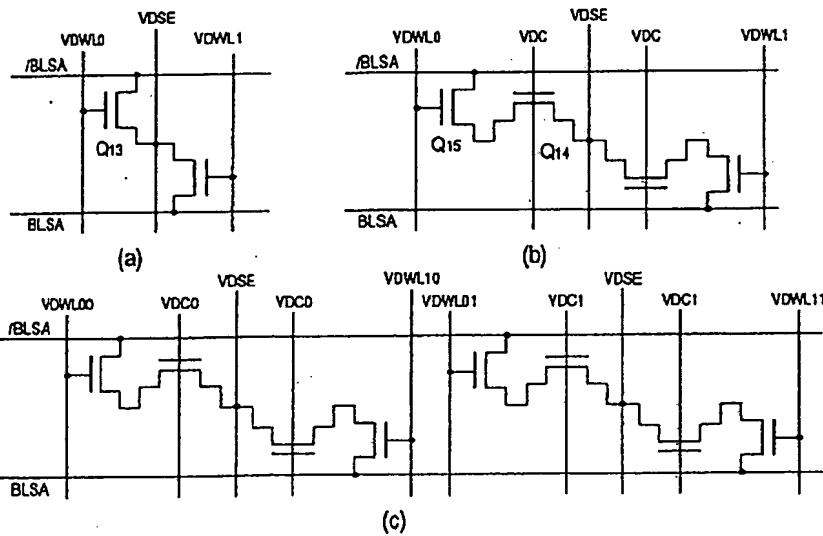
【図 12】



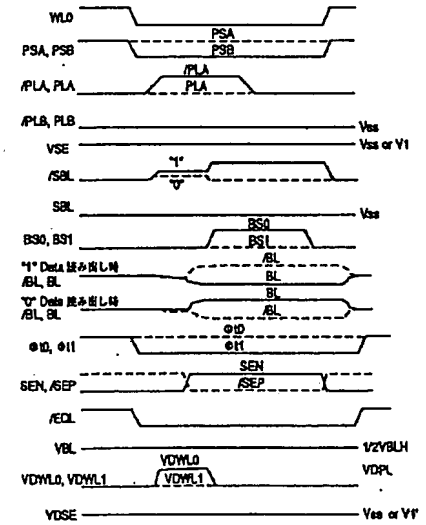
【図 14】



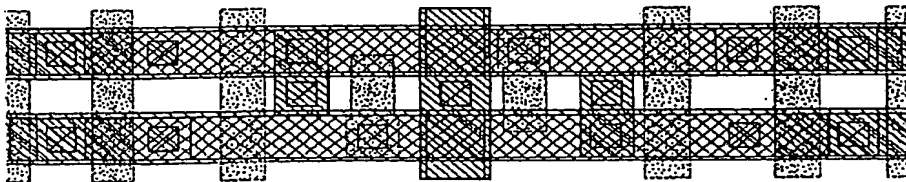
【図 16】



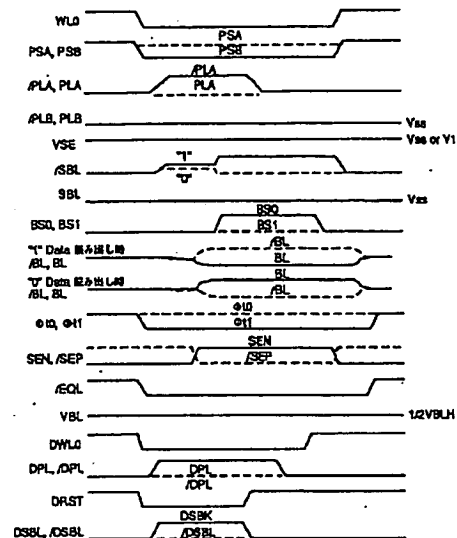
【図 17】



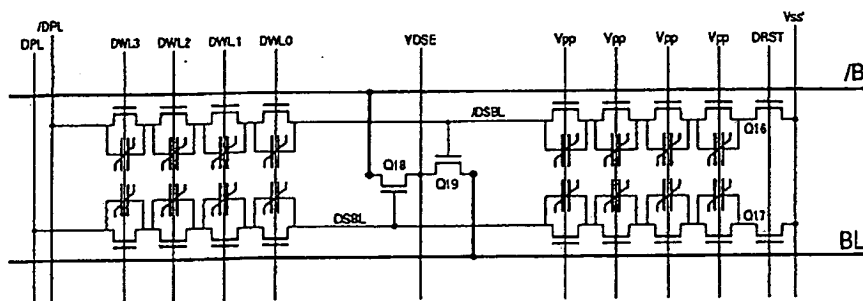
【図 29】



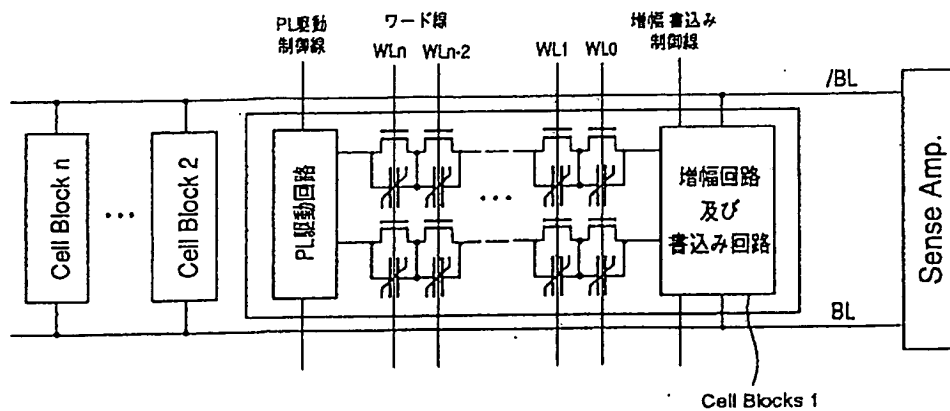
【図 2 1】



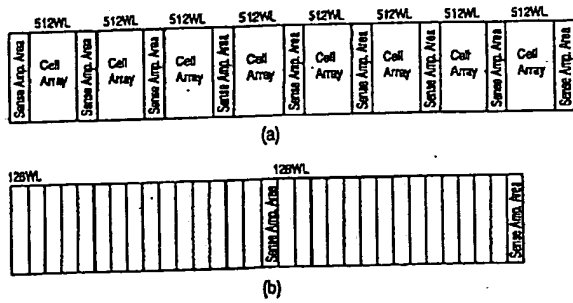
【図 20】



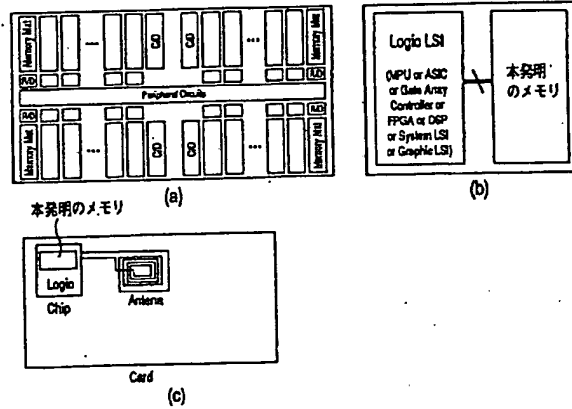
【圖 2 3】



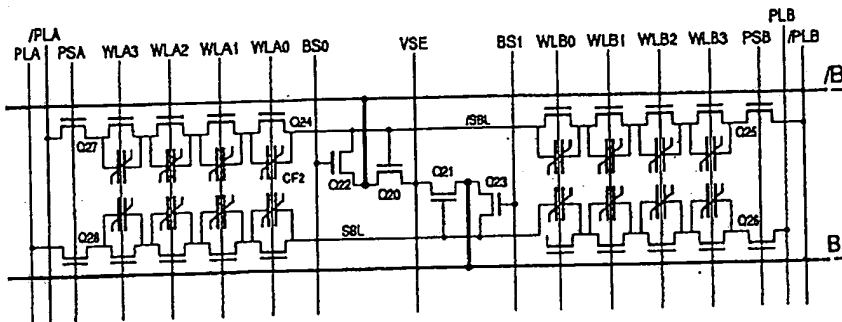
【図24】



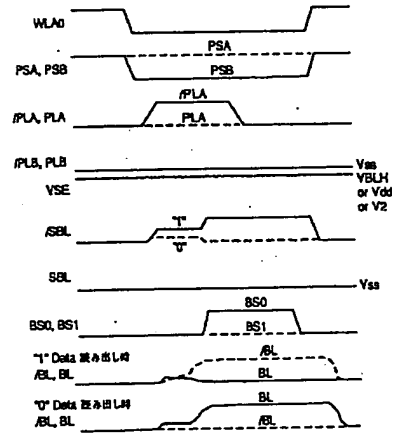
【図25】



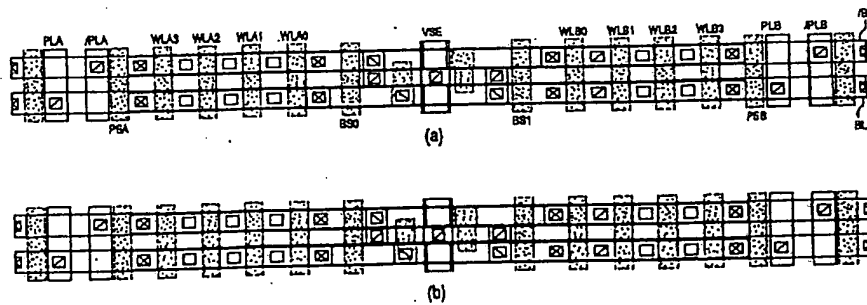
【図26】



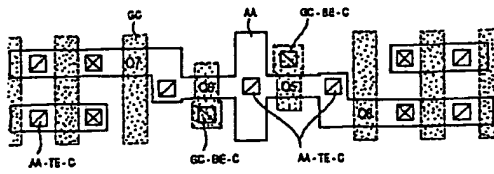
【図27】



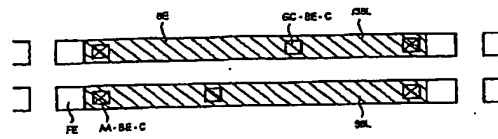
【図28】



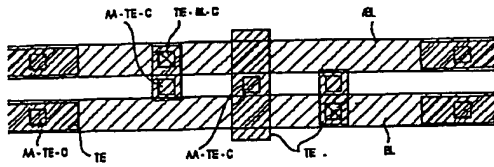
【図30】



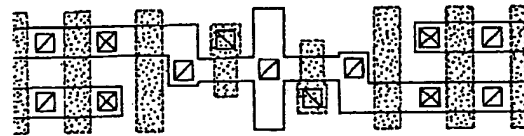
【図31】



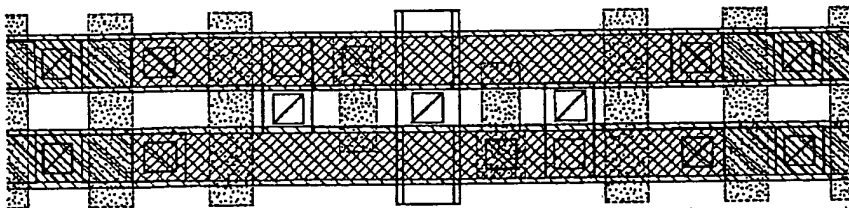
【図32】



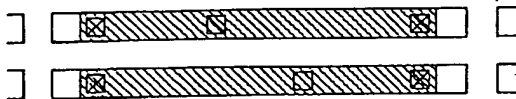
【図34】



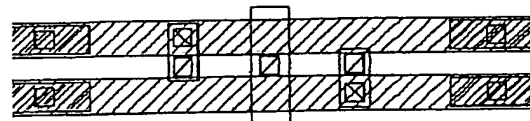
【図33】



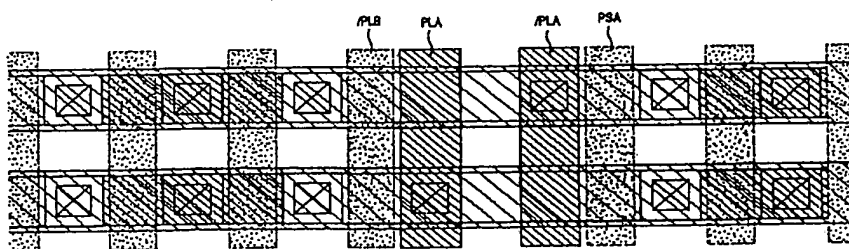
【図35】



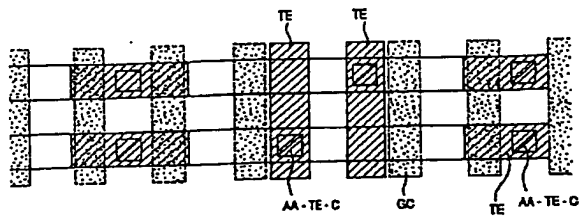
【図36】



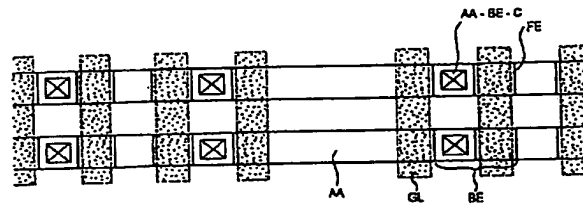
【図37】



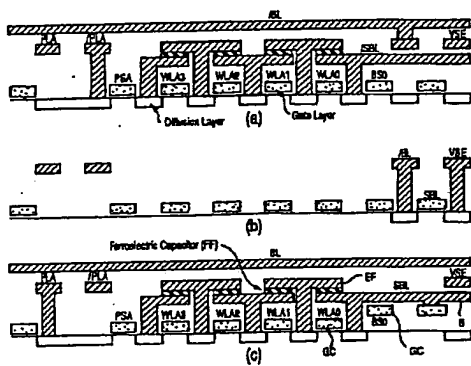
【図 38】



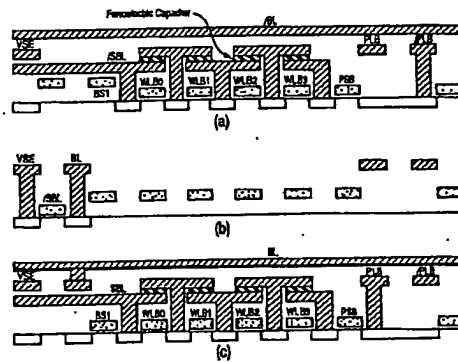
【図 39】



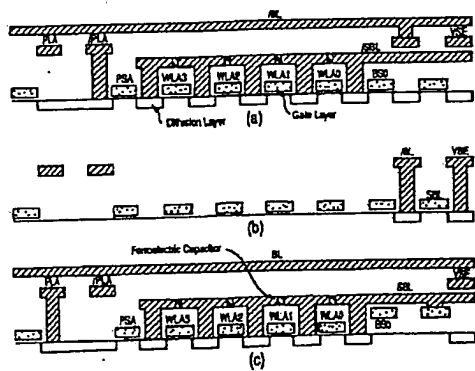
【図 40】



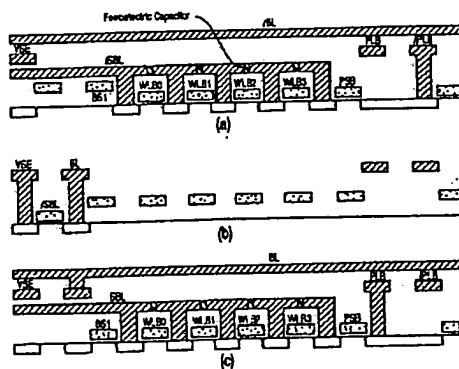
【図 41】



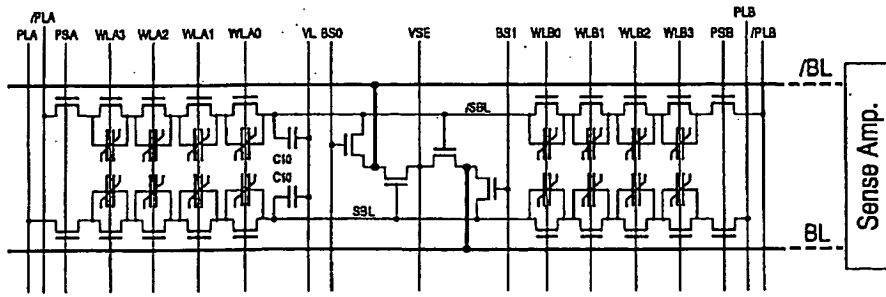
【図 42】



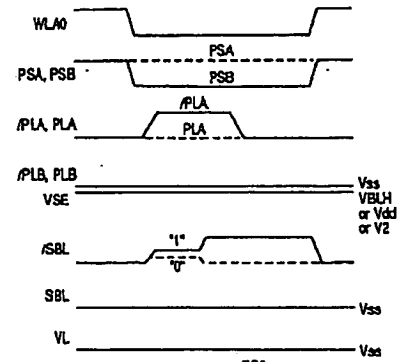
【図 43】



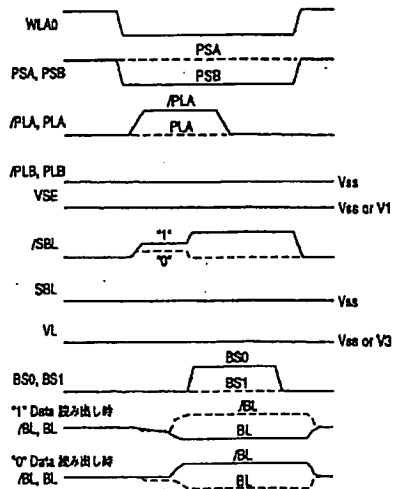
【図44】



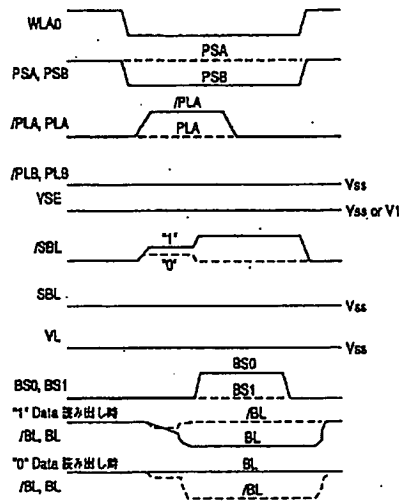
【図48】



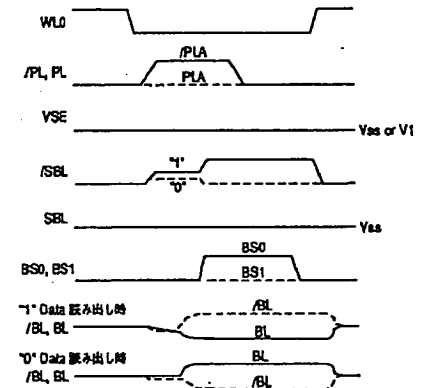
【図45】



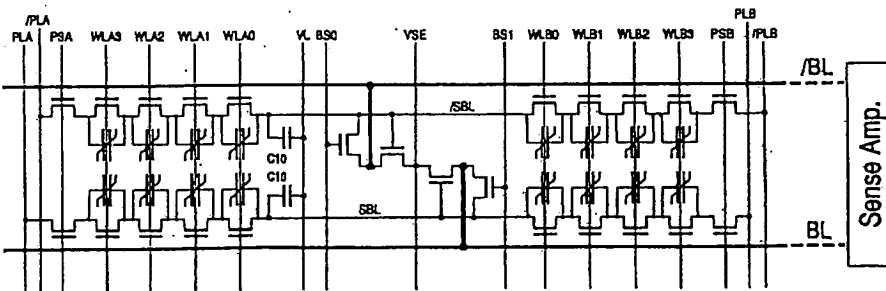
【図46】



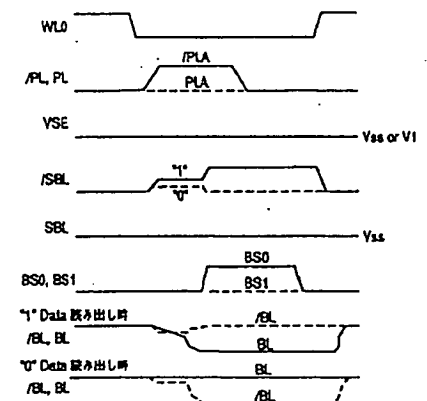
【図56】



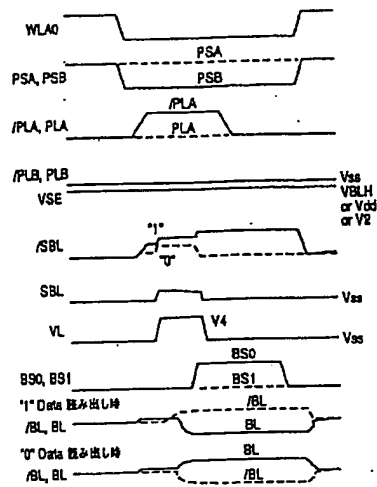
【図47】



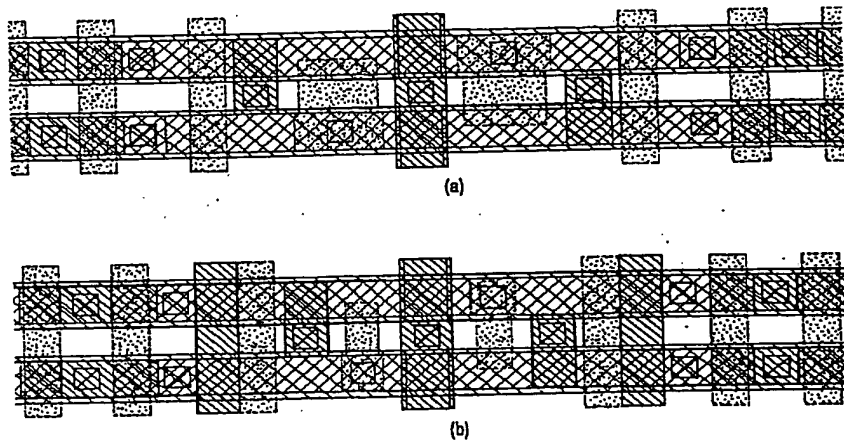
【図57】



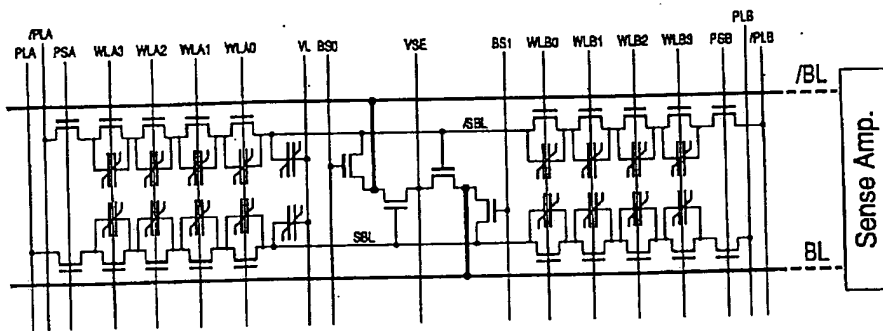
【図49】



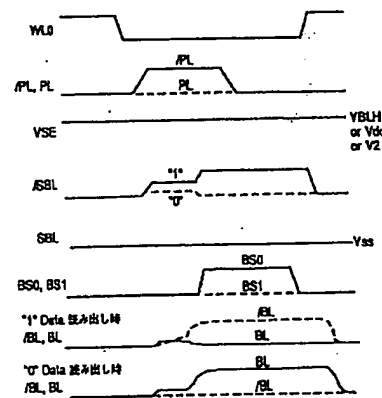
【図52】



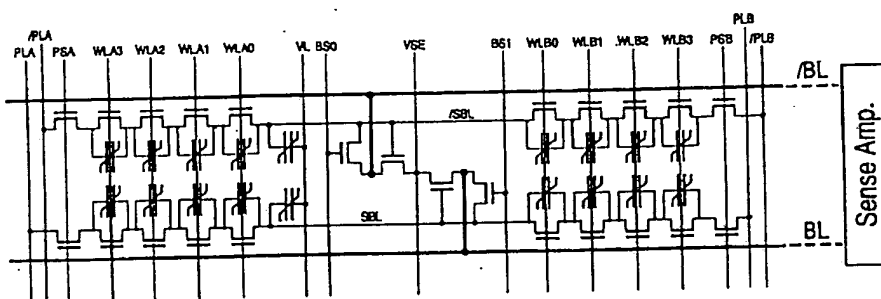
【図50】



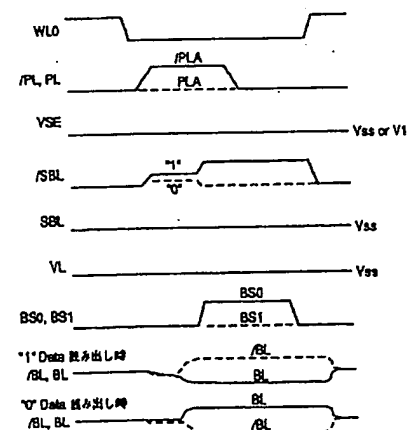
【図59】



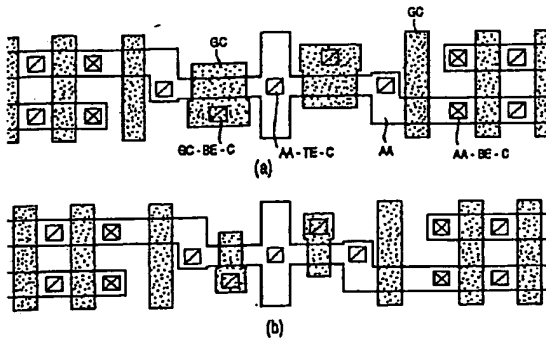
【図51】



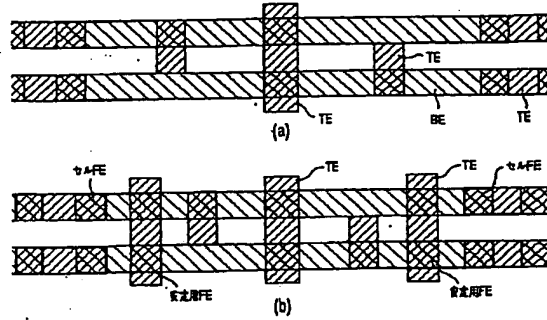
【図61】



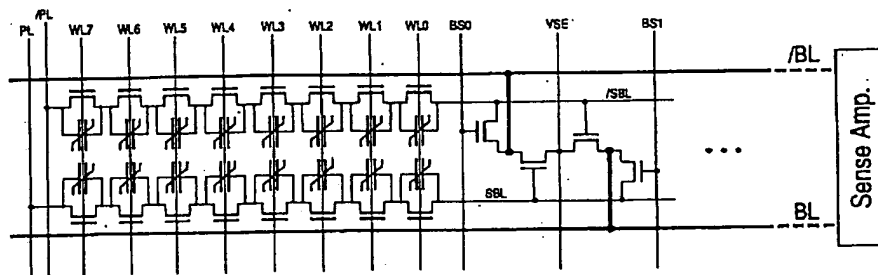
【図 53】



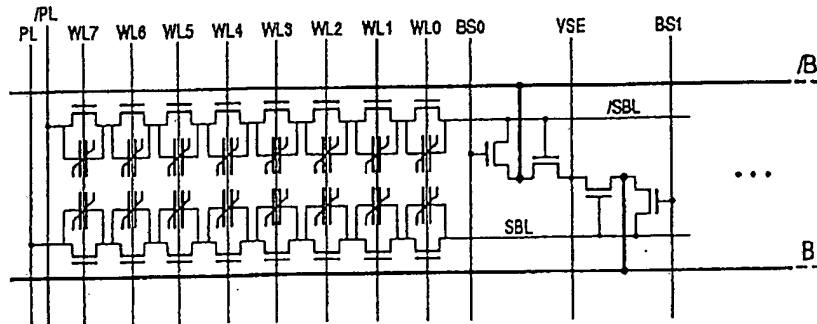
【図 54】



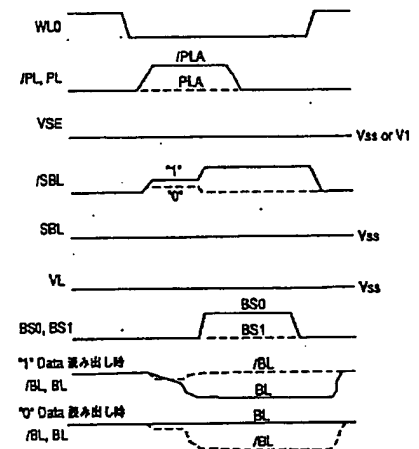
【図 55】



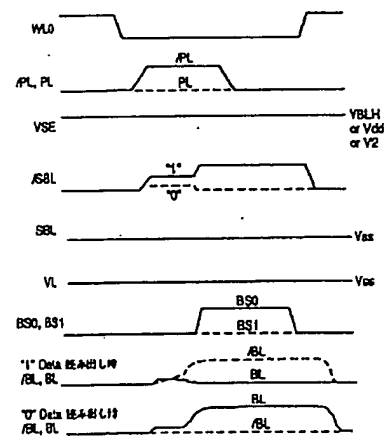
【図 58】



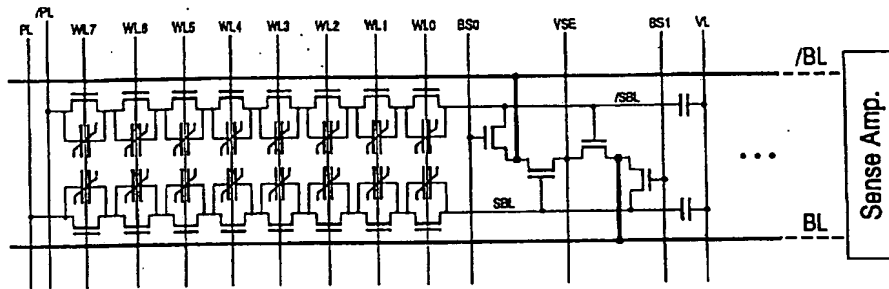
【図 62】



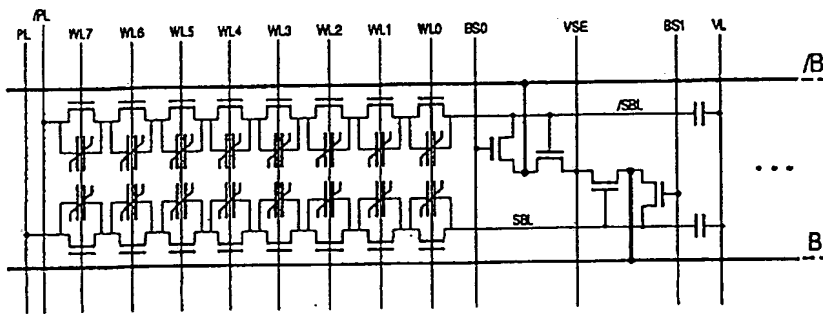
【図 64】



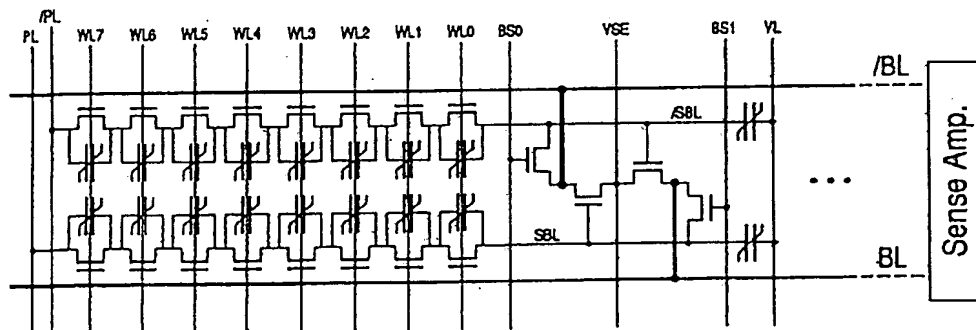
【図 60】



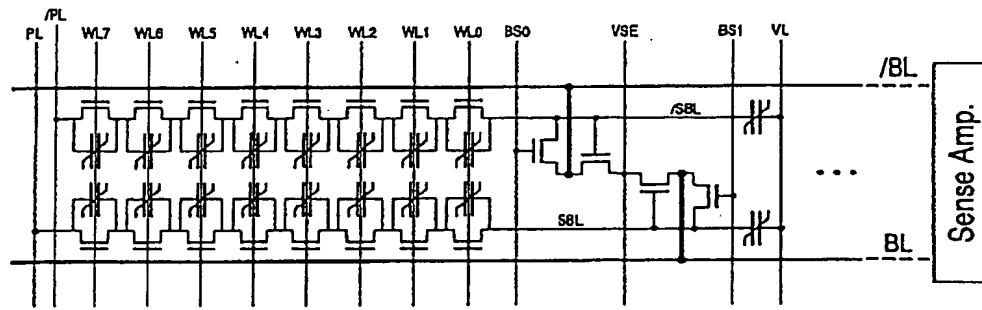
【図 63】



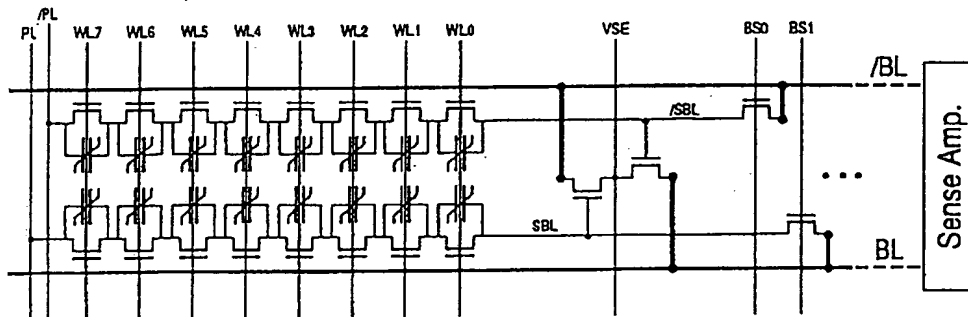
【図 65】



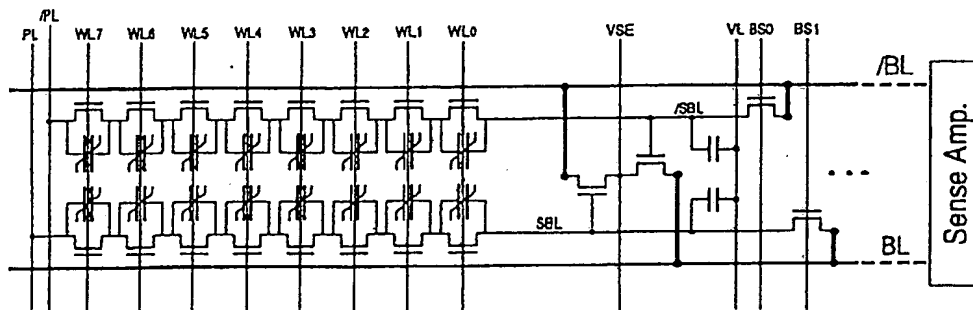
【図 6 6】



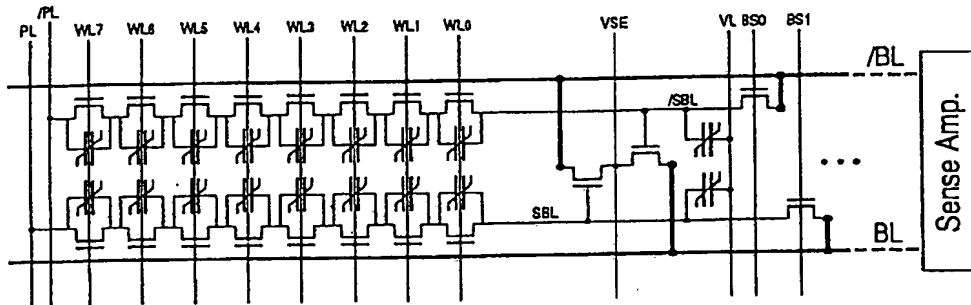
【図 6 7】



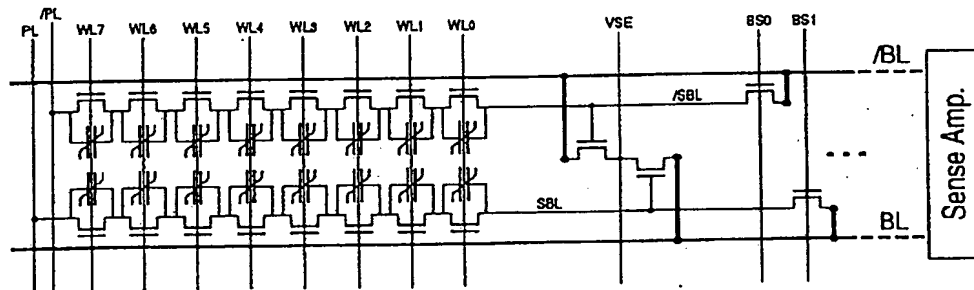
【図 6 8】



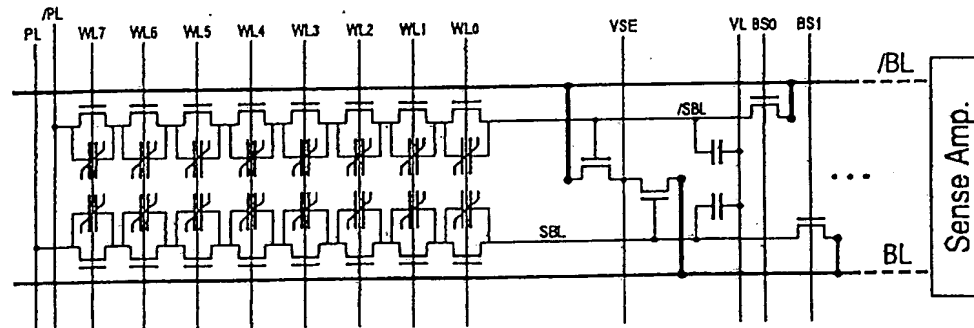
【図 69】



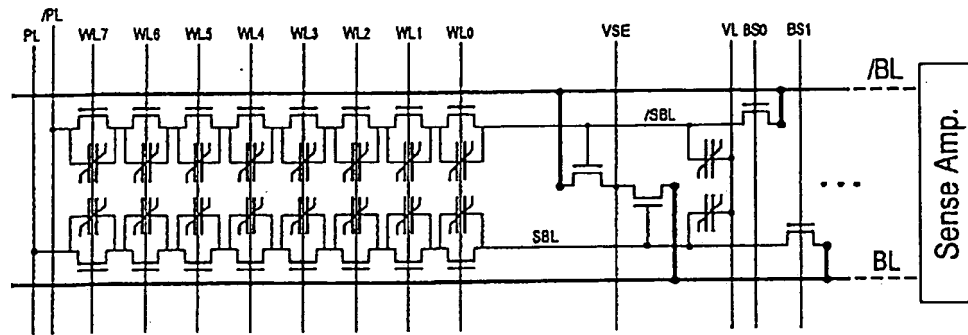
【図 70】



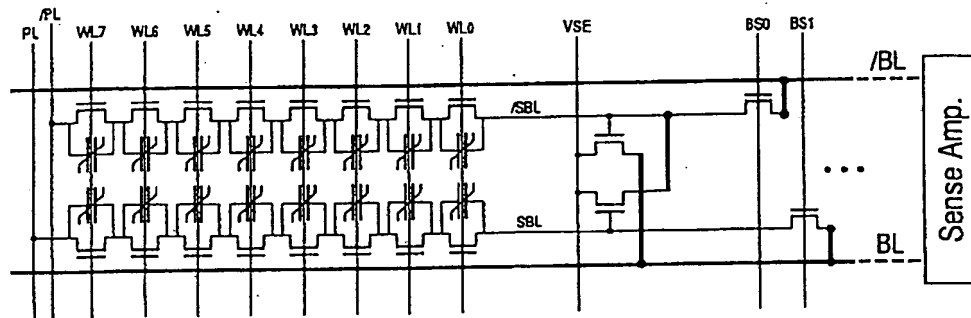
【図 71】



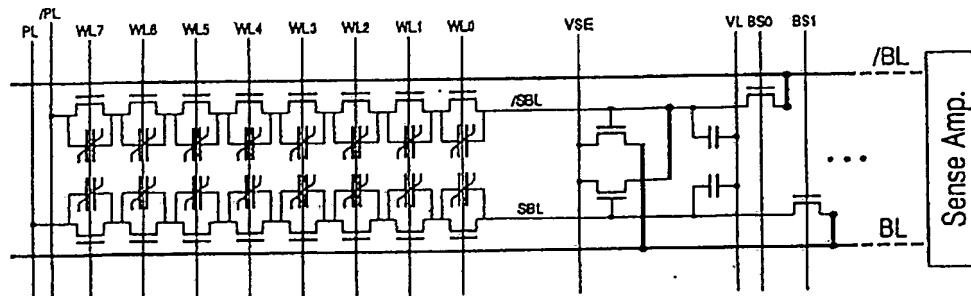
【図 7 2】



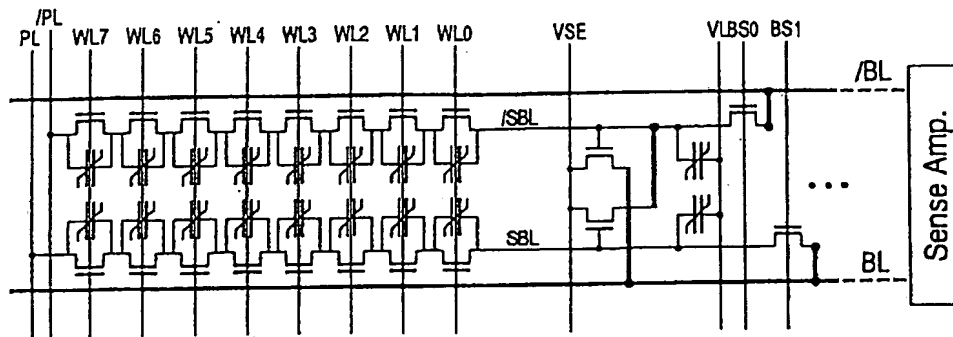
【図 7 3】



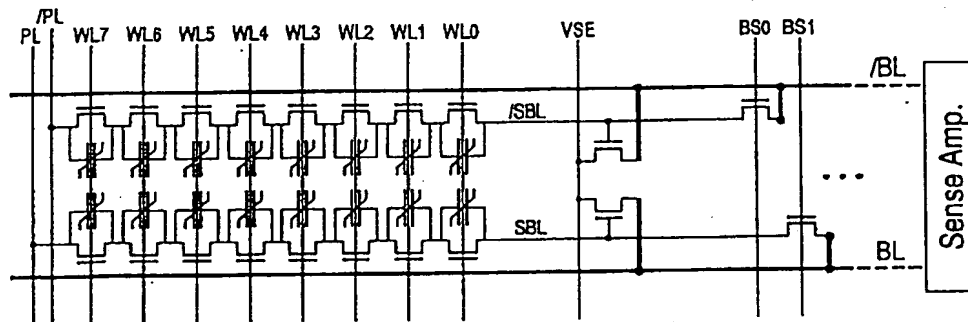
【図 7 4】



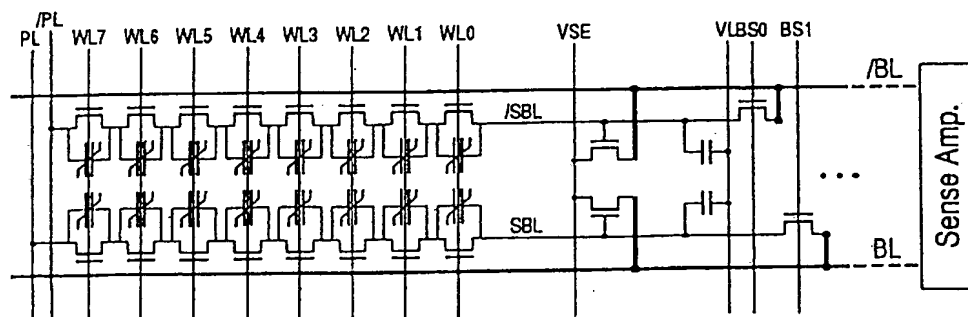
【図75】



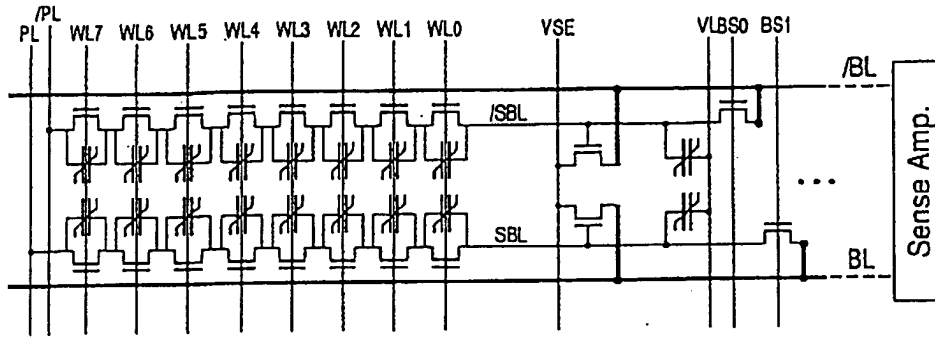
【図76】



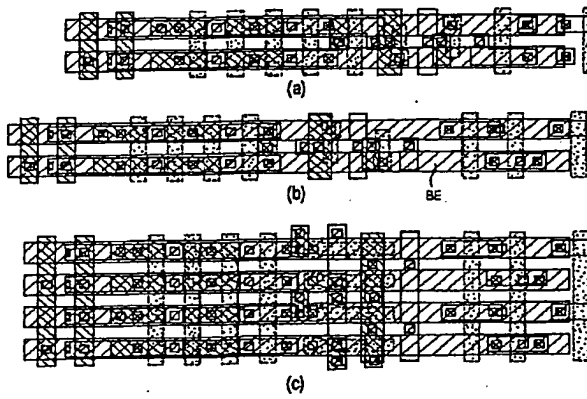
【図77】



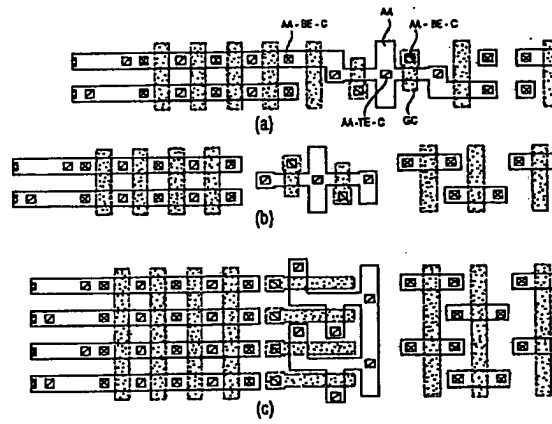
【図78】



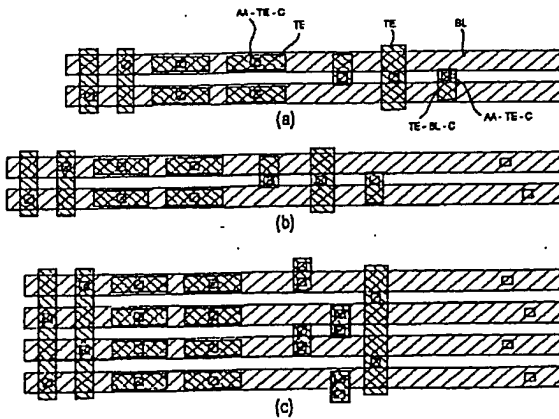
【図79】



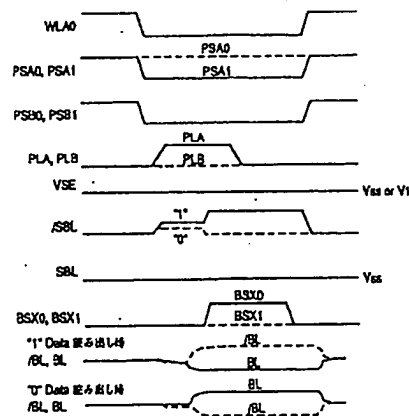
【図80】



【図81】



【図83】



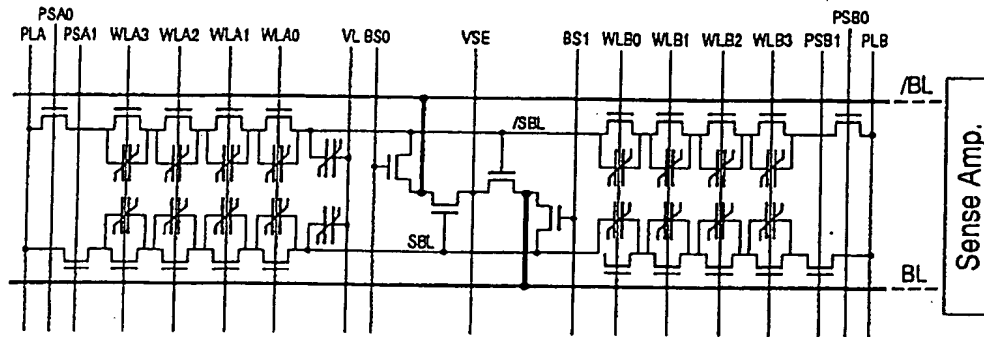
[illegible]

Timing diagram for the 74VHC163 4-bit binary counter. The diagram shows the relationship between various inputs and outputs over time. Inputs include WLA0, PSAQ, PSAI, PSBQ, PSBI, PLA, PLB, VSE, ASBL, SBL, VL, BSQ, and BS1. Outputs include /BL and BL. The diagram illustrates the setup and hold times for the asynchronous clear (ASBL) and the clock (VL) inputs, and the propagation delays for the outputs (/BL and BL).

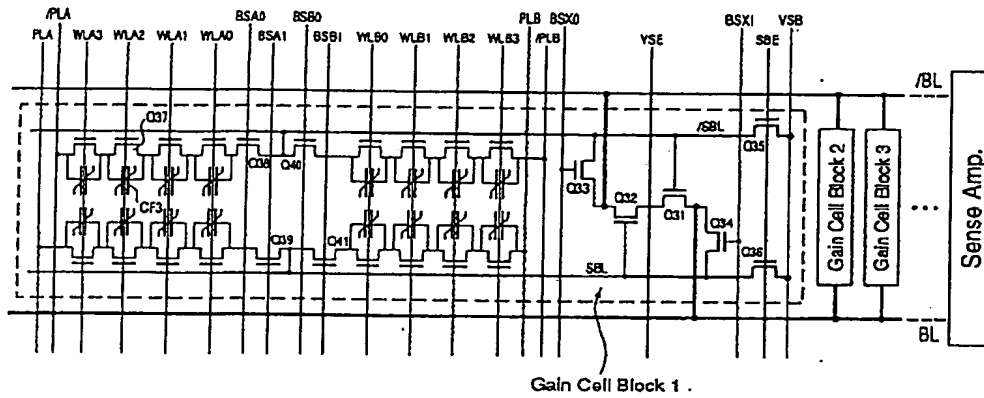
Timing diagram for the 74VHC163 4-bit binary counter. The diagram shows the relationship between various control and data signals over time. W/A12 is the master clock. BSA0, BSA1, BSB0, BSA1 are bus signals. /PLA, /PLB, /PLB are active-low enable signals. VSE and SBE are set and reset signals. /SBL is the synchronous load signal, with a '1' indicating a load operation. SBL is the serial load signal. BSX0 and BSX1 are bus signals. Data outputs are shown for 10-bit and 00-bit data.

Timing diagram for the 68000 microprocessor showing signals: WLA2, PSA0, PSA1, PSB0, PSB1, /PLA, /PLB, /PLB, VSE, /SEL, /SEL, BSX0, BSX1, 71° Data Read/Write, 72° Data Read/Write, /A0, /A1, SEN, /SEN, /EOL, VDWL0, VDWL1, DPL, RST, and VSE or V1. The diagram shows the relationship between these signals during a memory access cycle, including address and data bus activity and control signals.

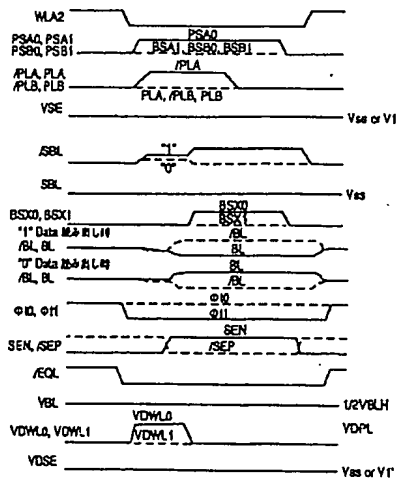
【図86】



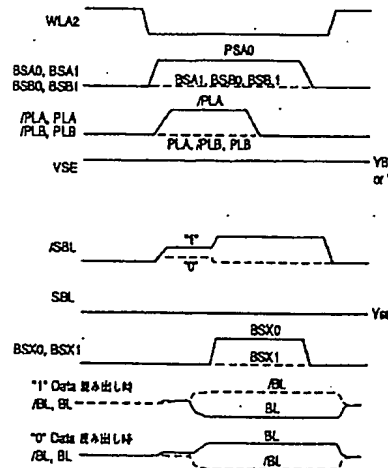
【図87】



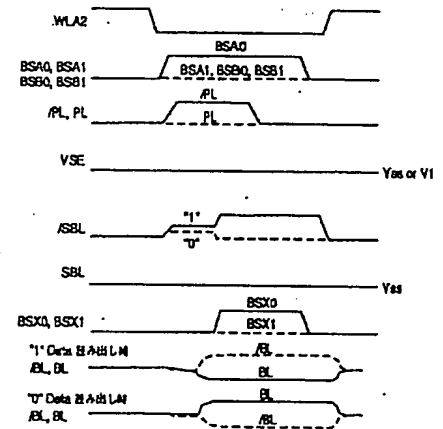
【図90】



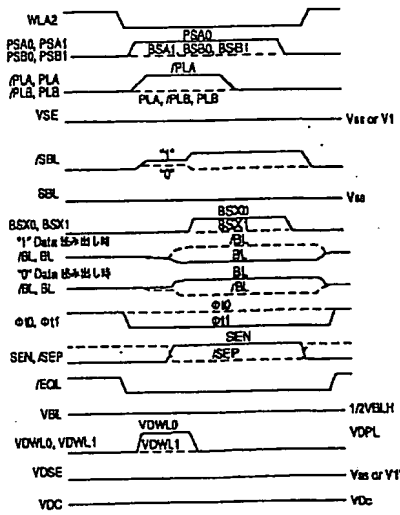
【図93】



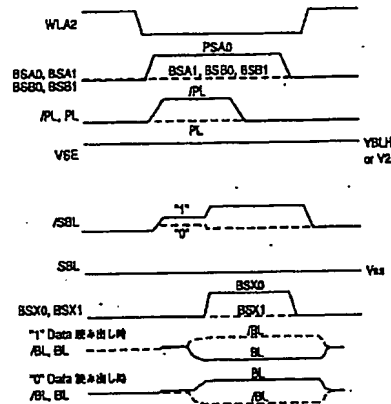
【図95】



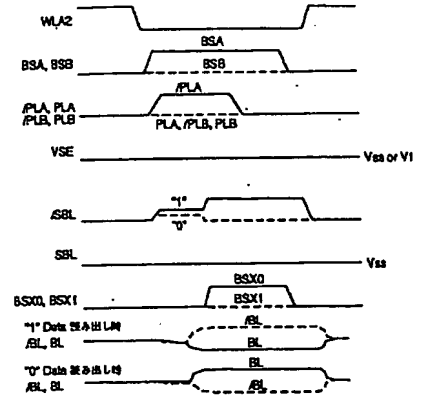
【図91】



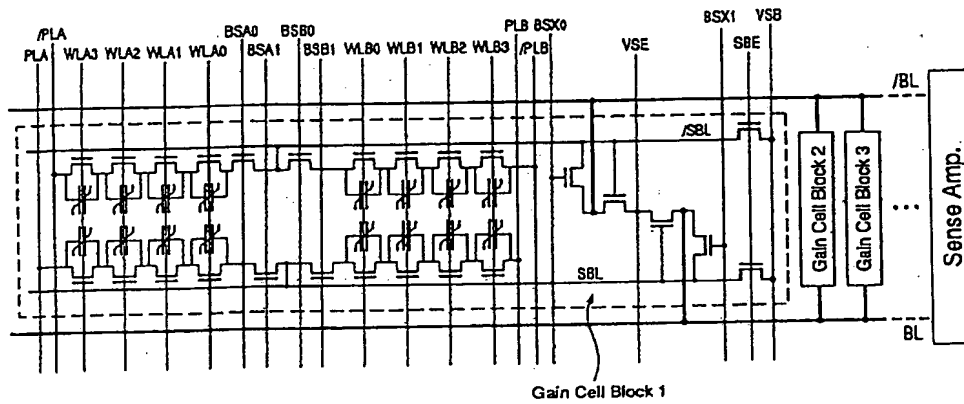
【図97】



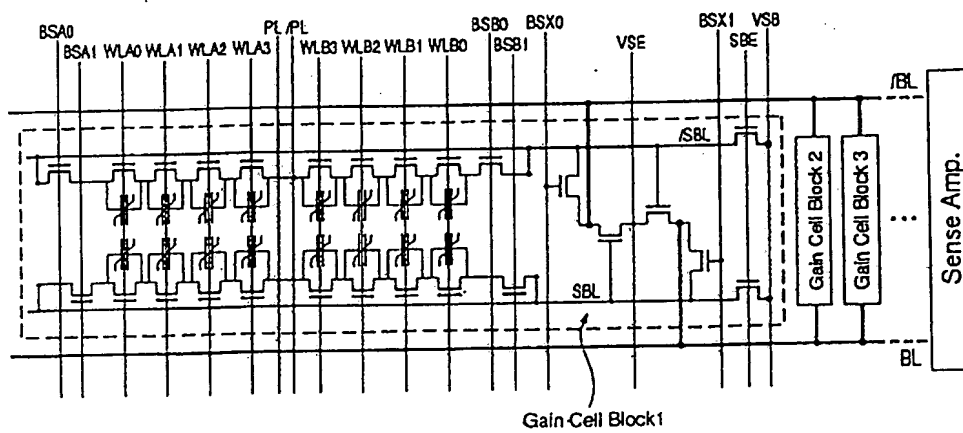
【図99】



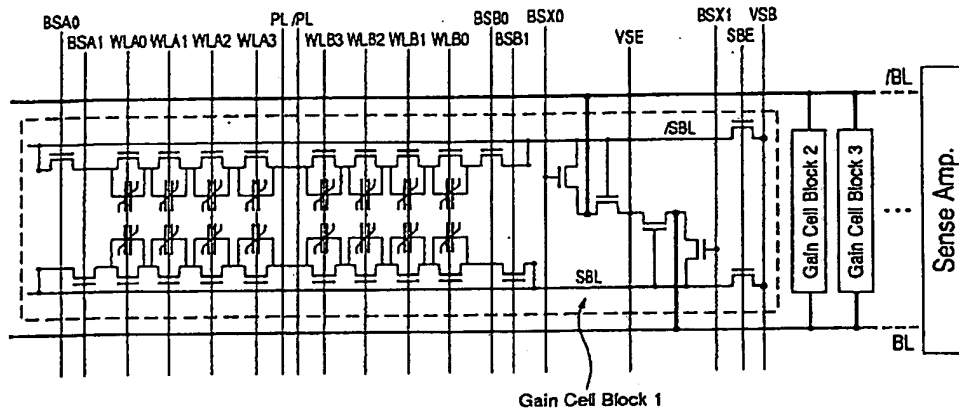
【図92】



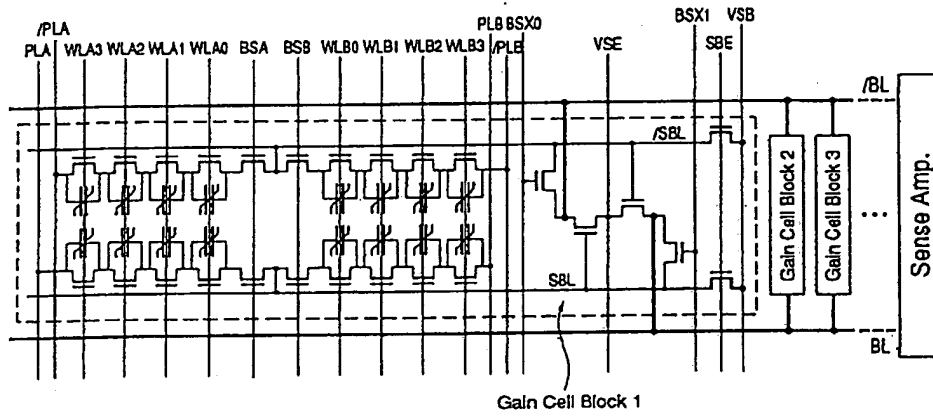
【図94】



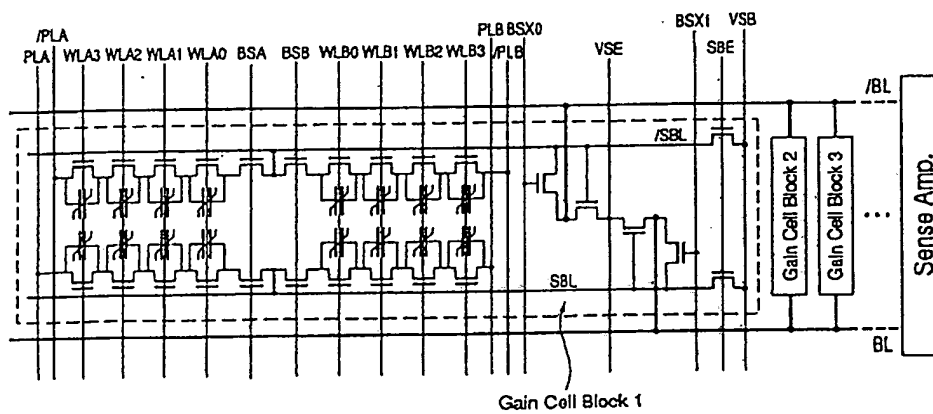
【図 9 6】



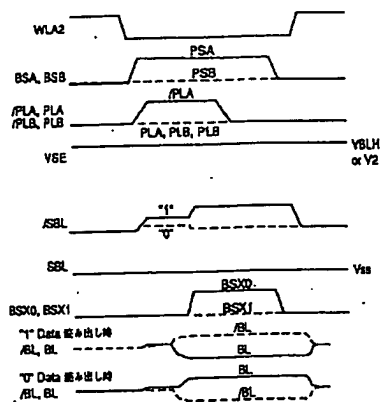
【図 9 8】



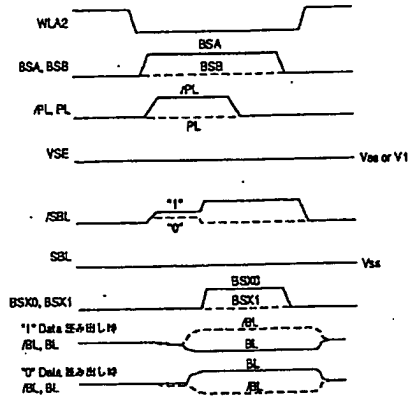
【図 1 0 0】



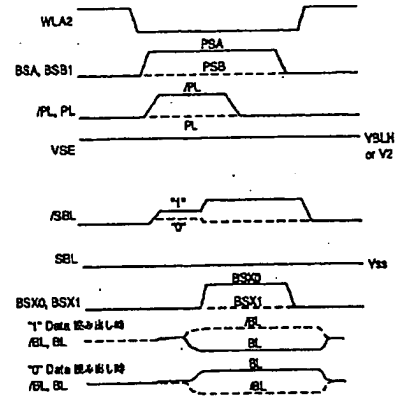
【図101】



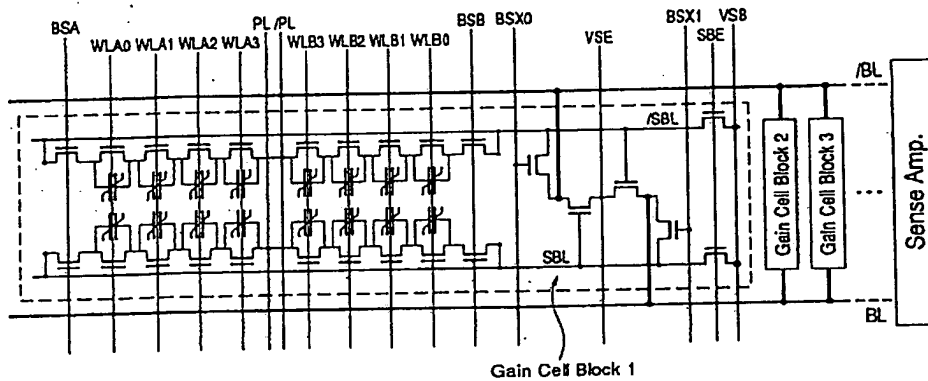
【図103】



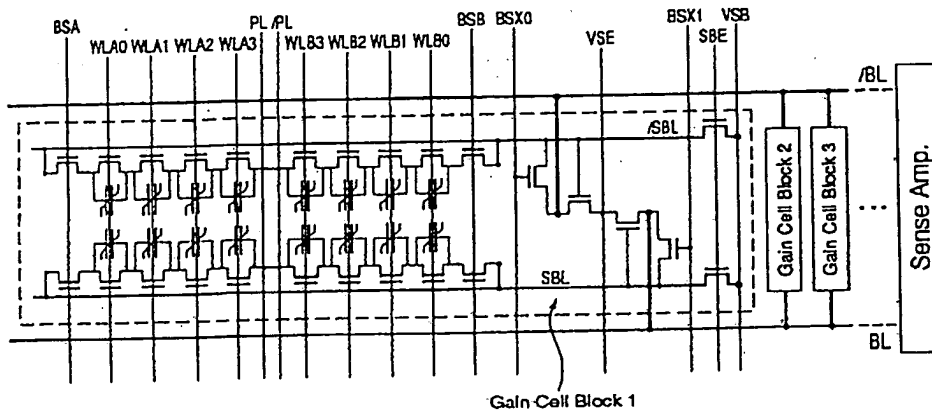
【図105】



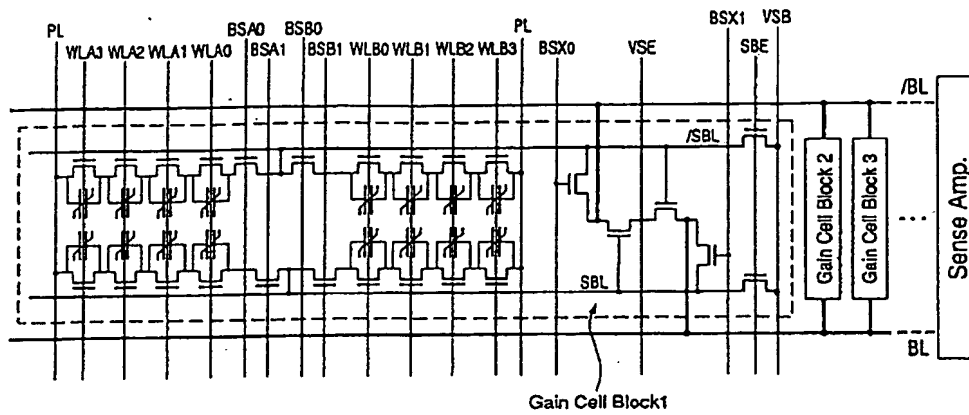
【図102】



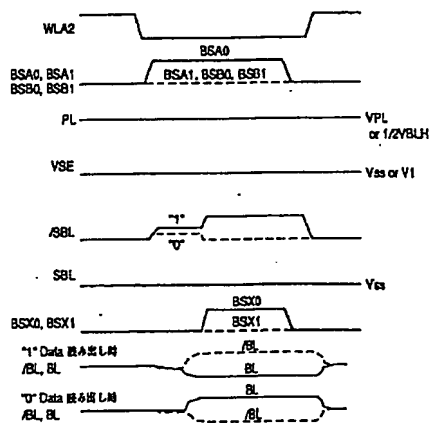
【図104】



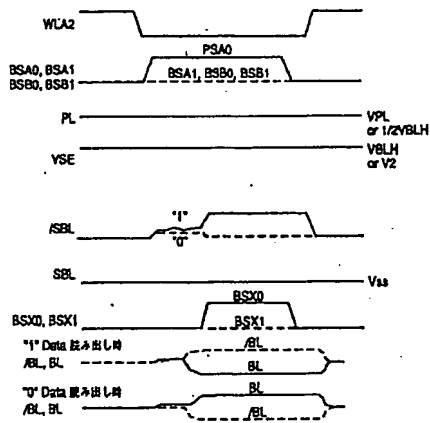
【図106】



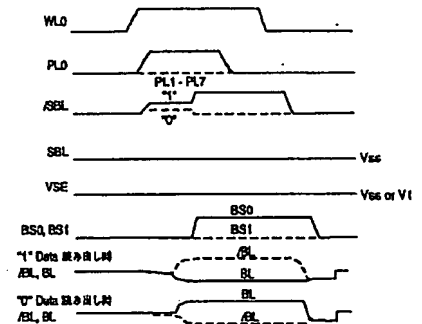
【図107】



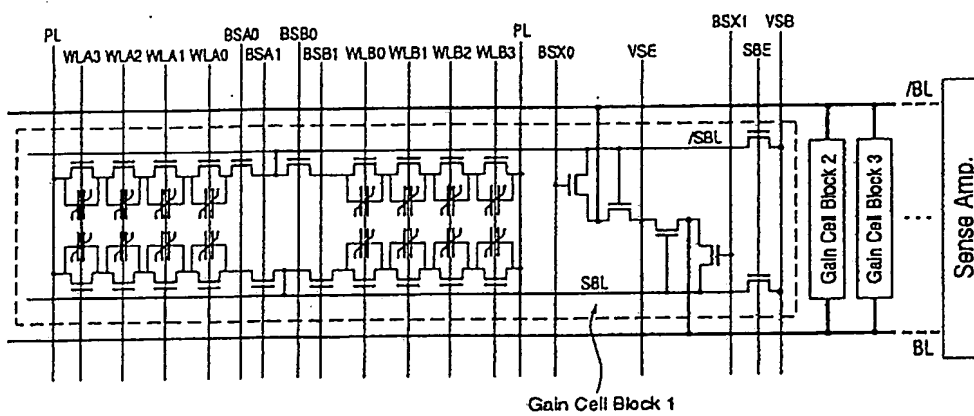
【図109】



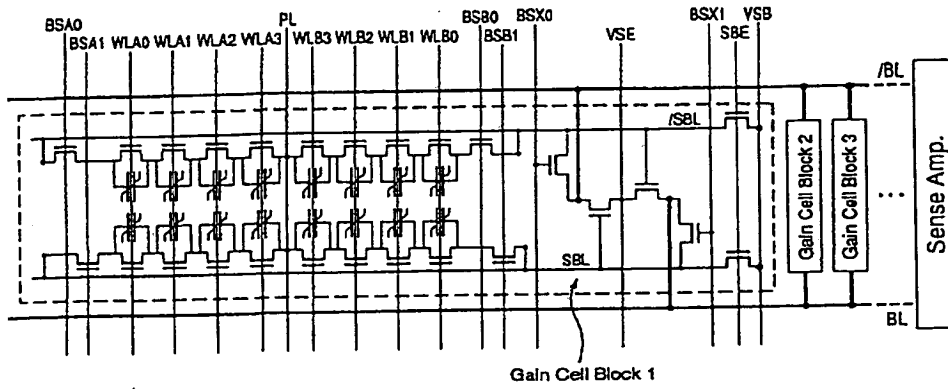
【図122】



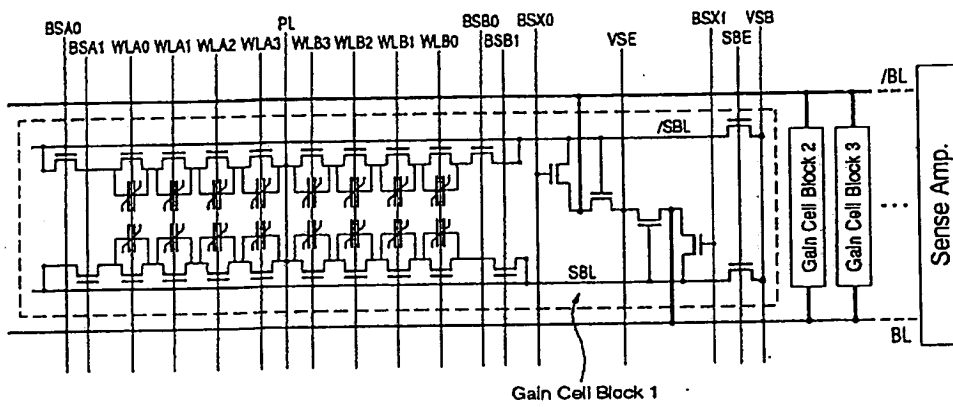
【図108】



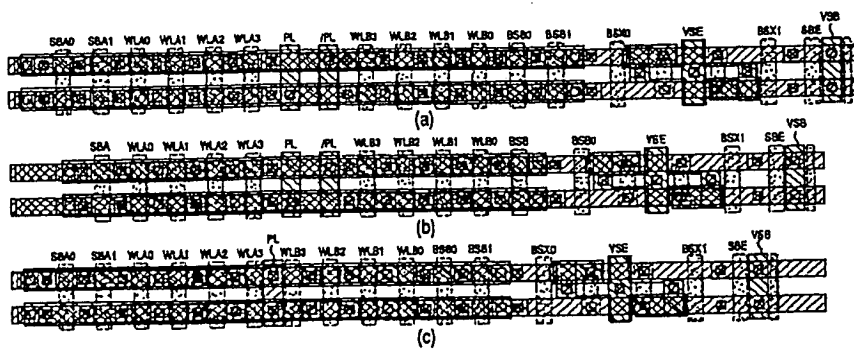
【図110】



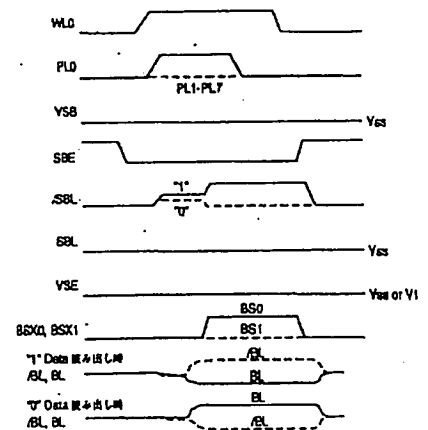
【図111】



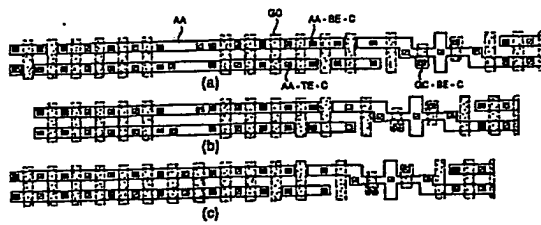
【図112】



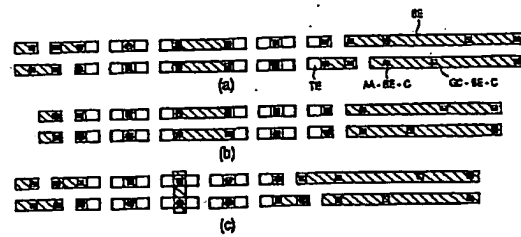
【図119】



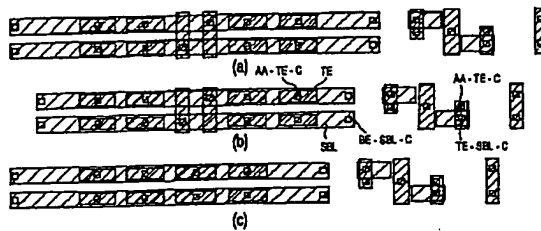
【図113】



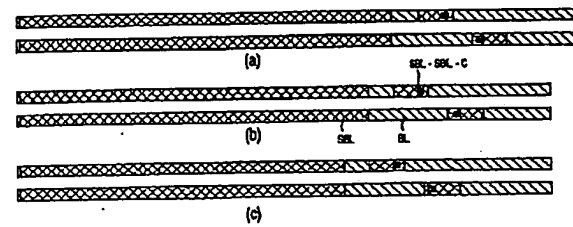
【図114】



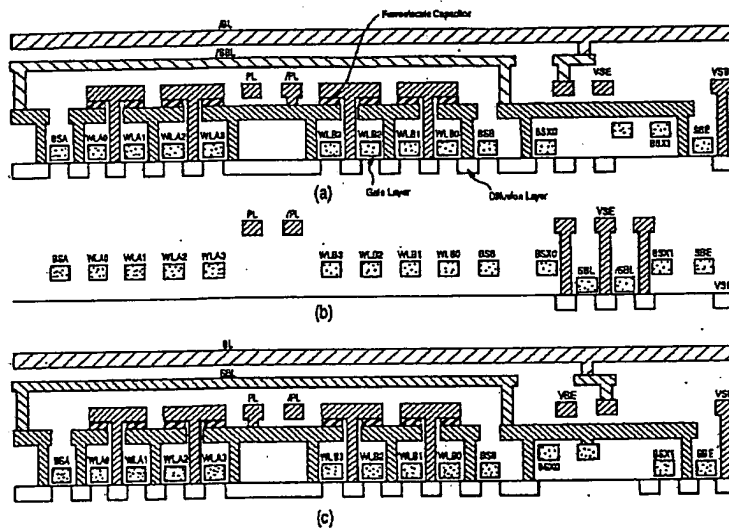
【図115】



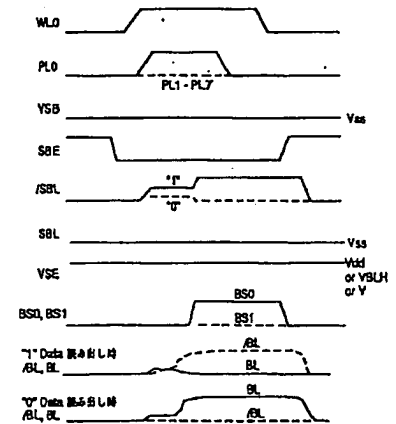
【図116】



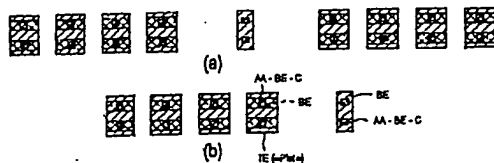
【図117】



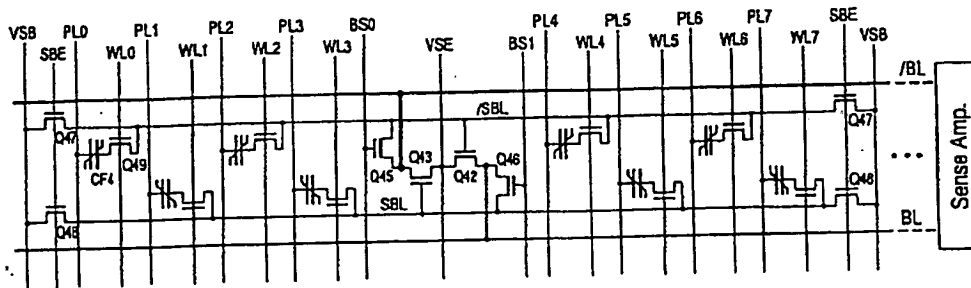
【図126】



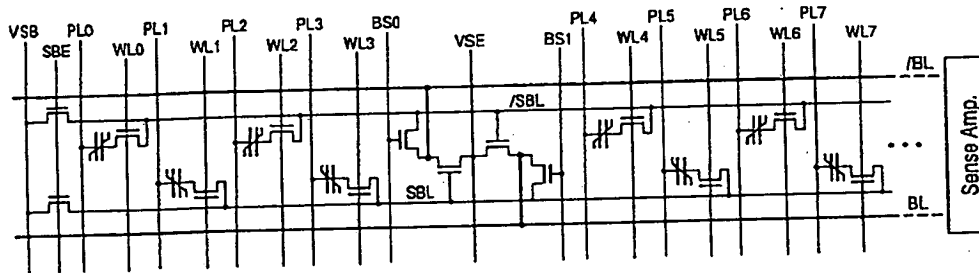
【図134】



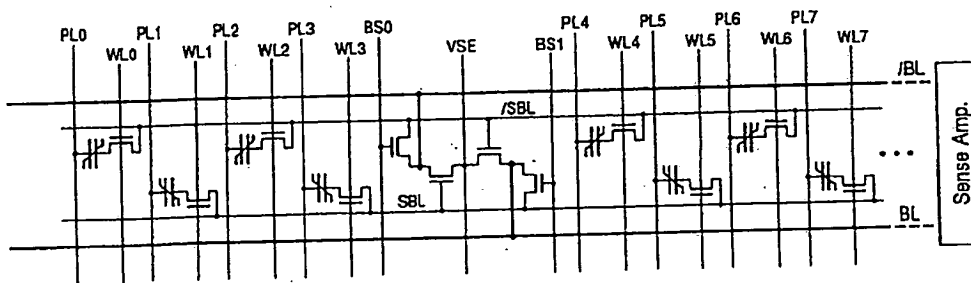
【図 118】



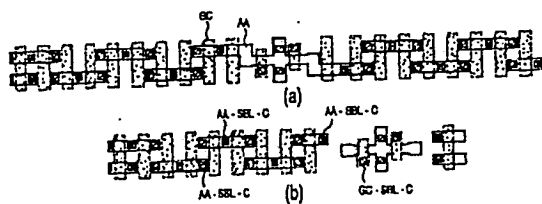
【図 120】



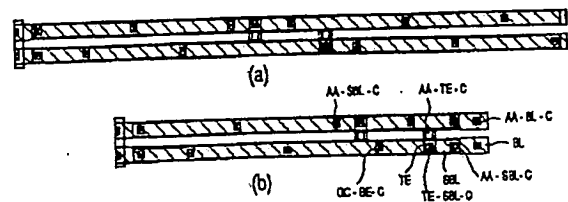
【図 121】



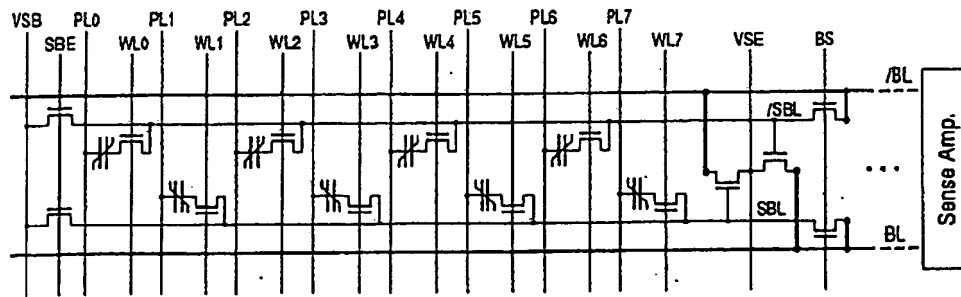
【図 133】



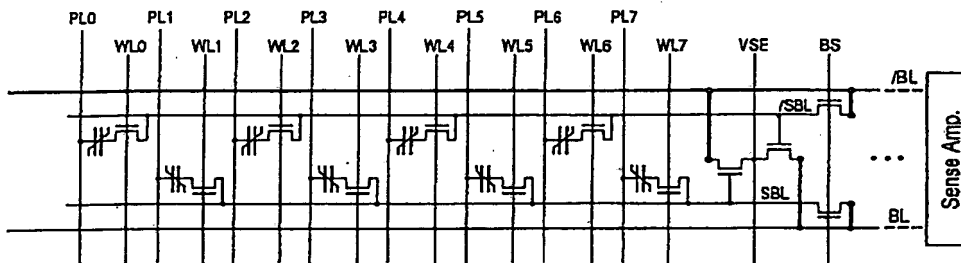
【図 135】



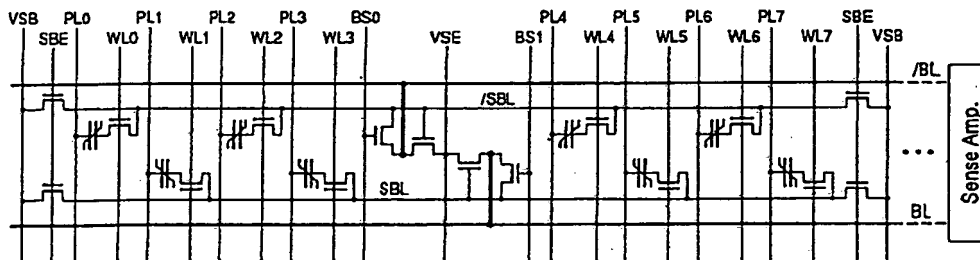
【図 123】



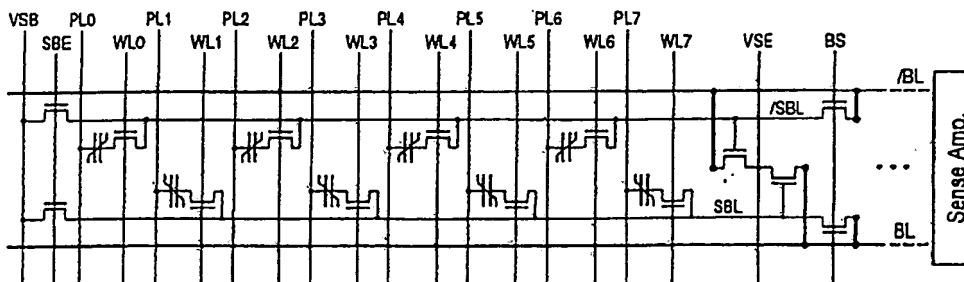
【図 124】



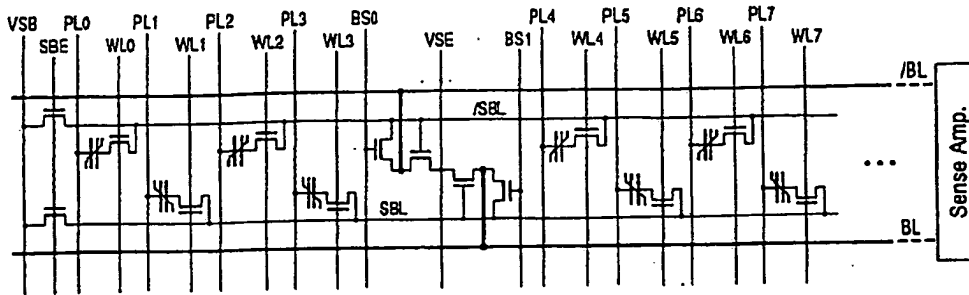
【図 125】



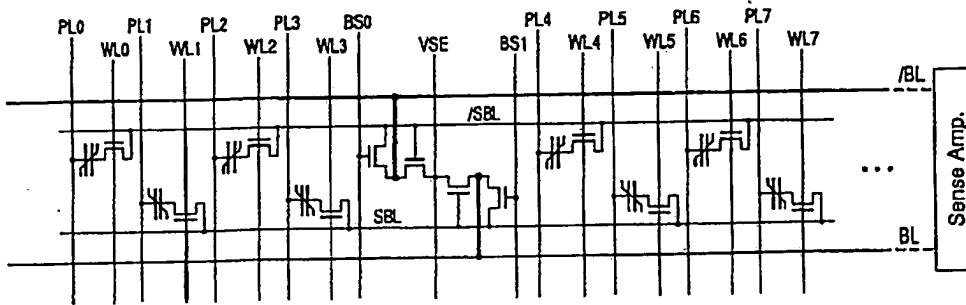
【図 130】



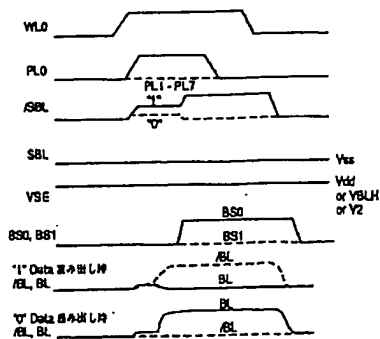
【図 127】



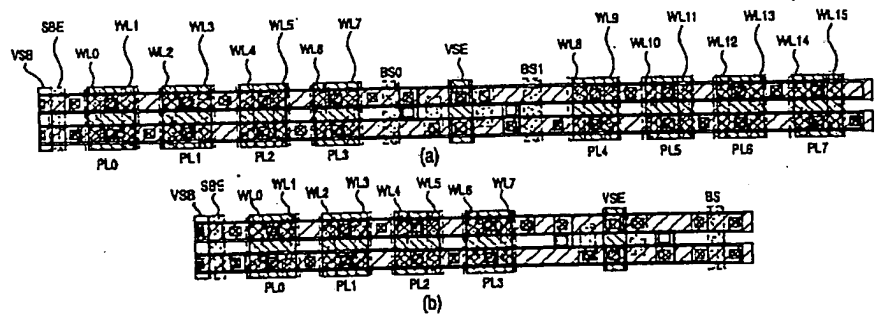
【図 128】



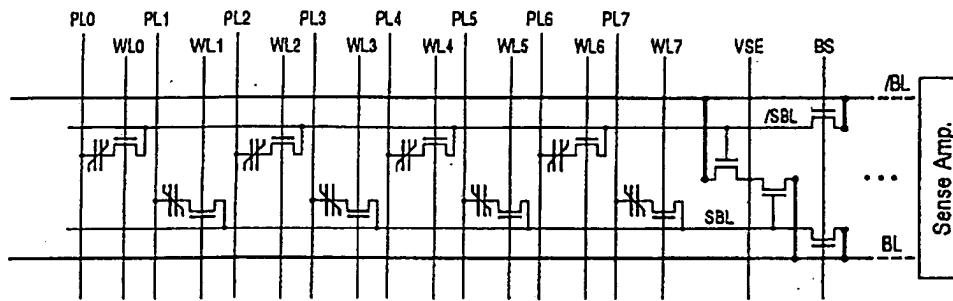
【図 129】



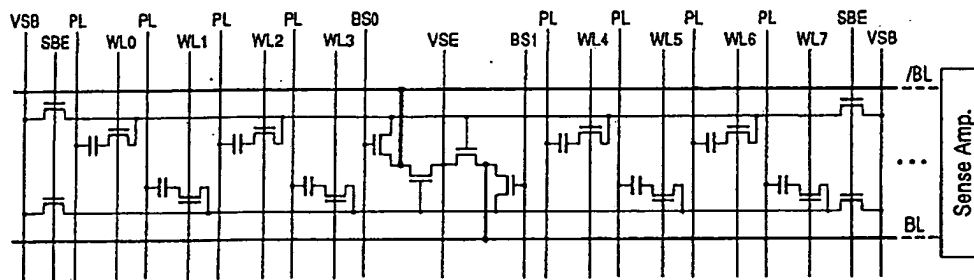
【図 132】



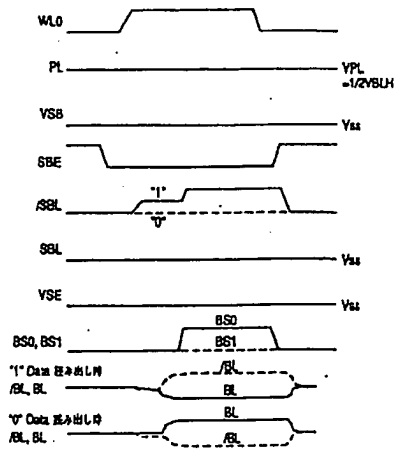
【図131】



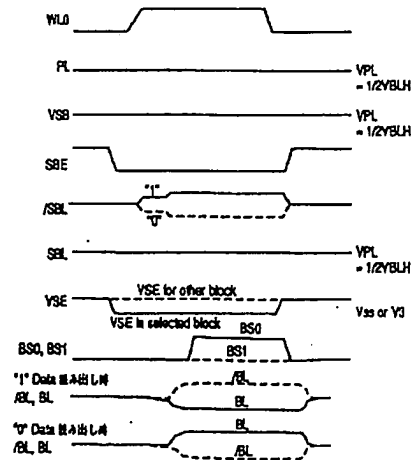
【図136】



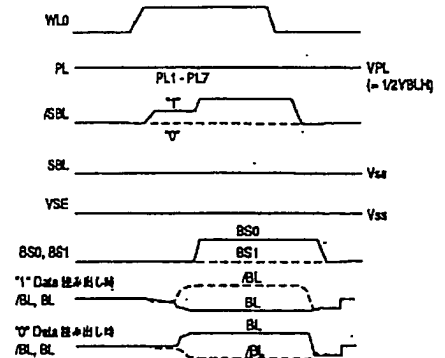
【図137】



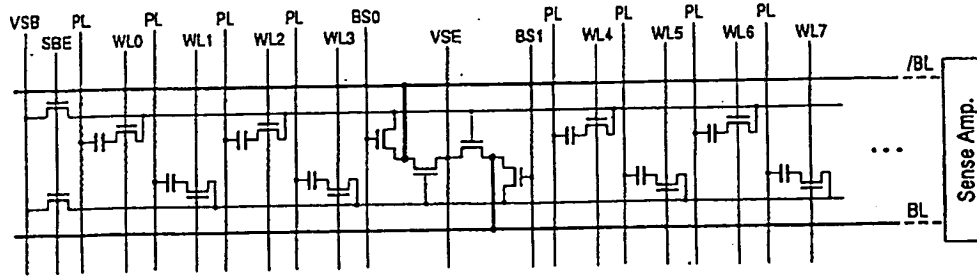
【図138】



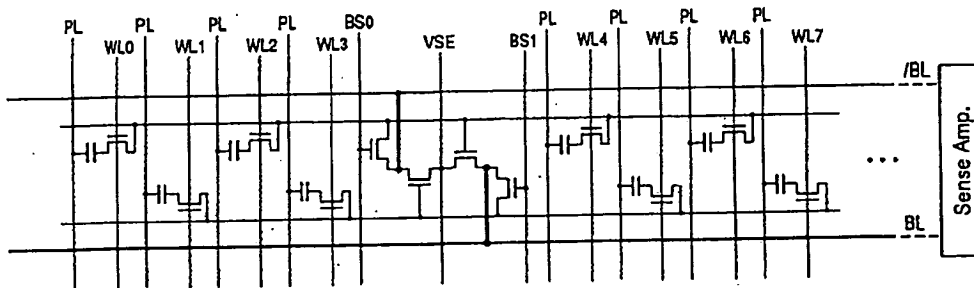
【図141】



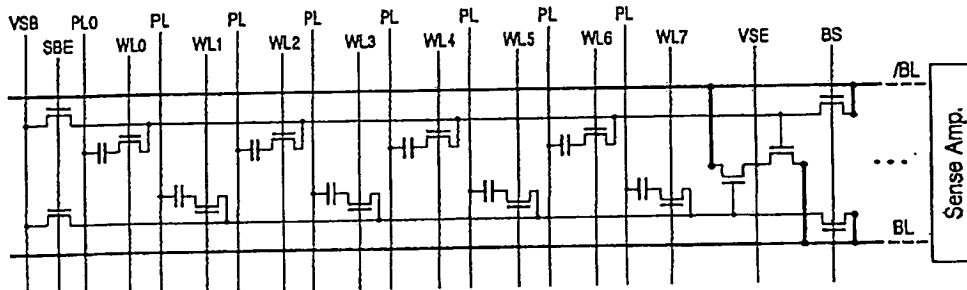
【図139】



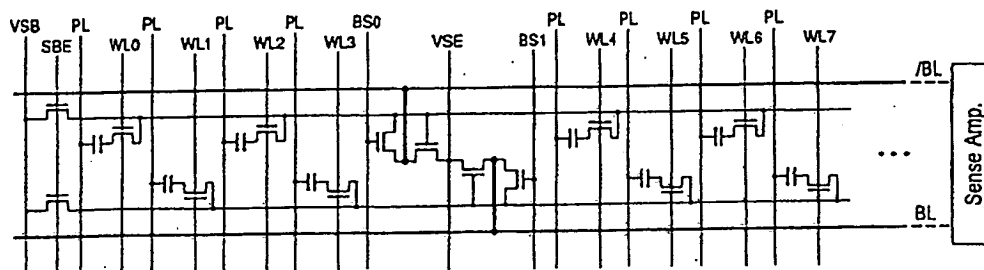
【図140】



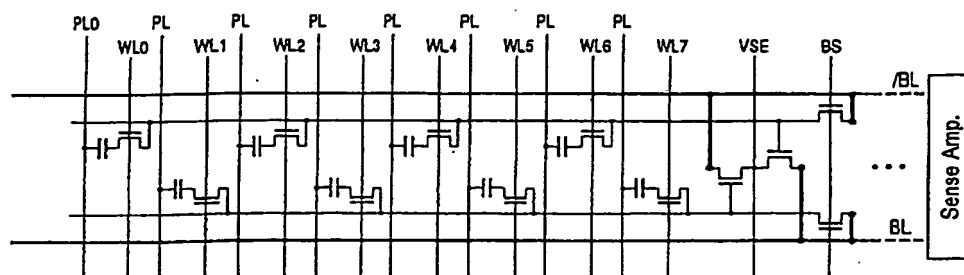
【図142】



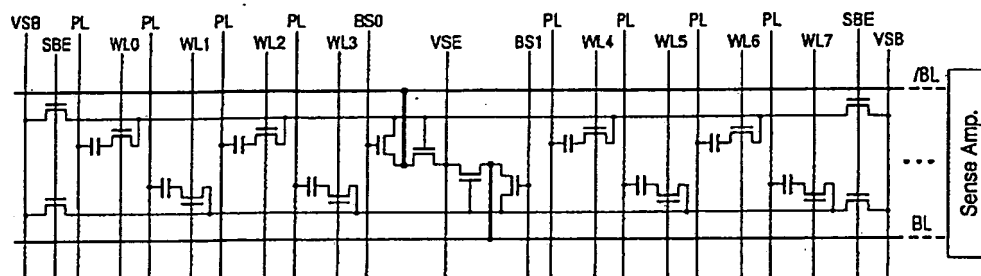
【図147】



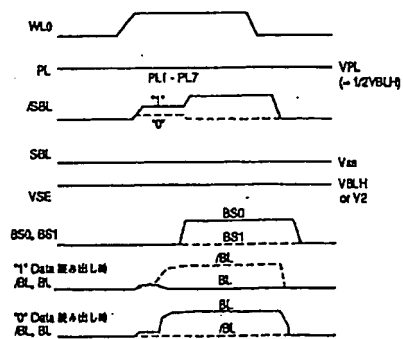
【図143】



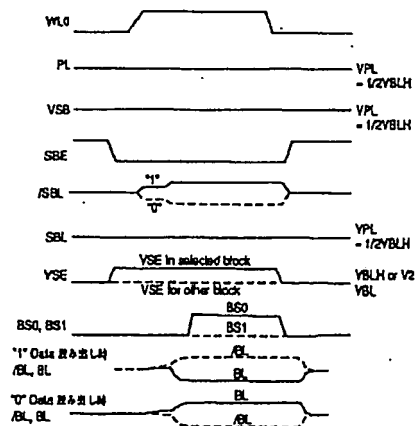
【図144】



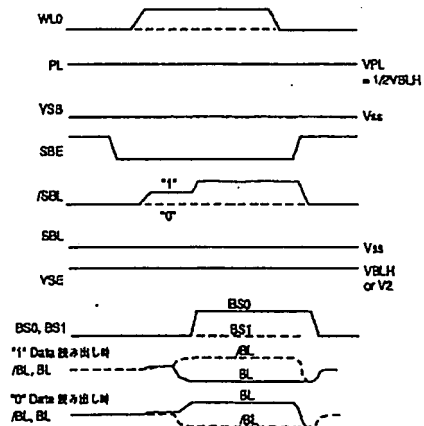
【図145】



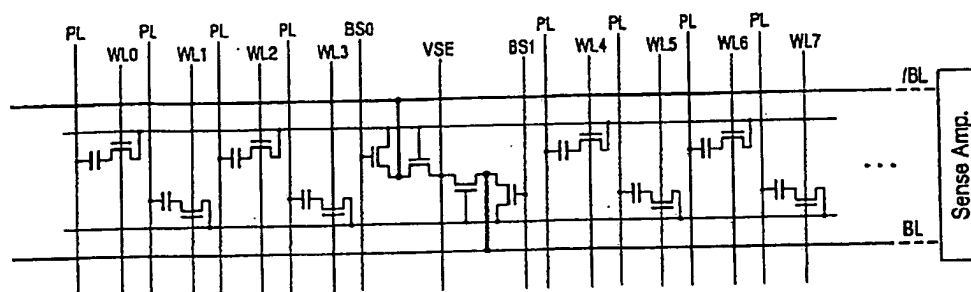
【図146】



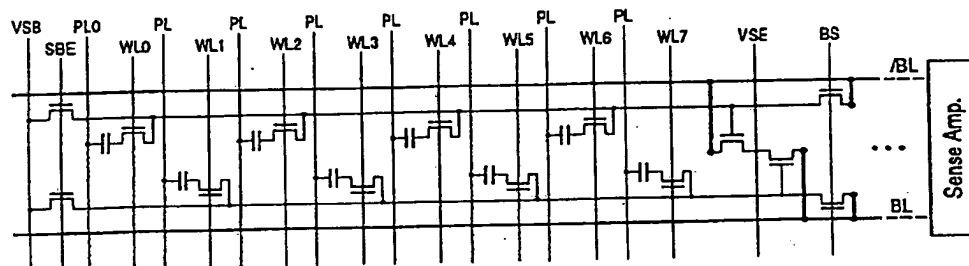
【図149】



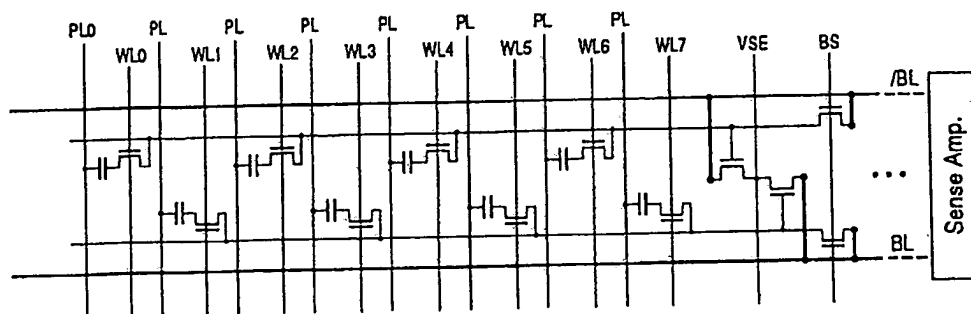
【図148】



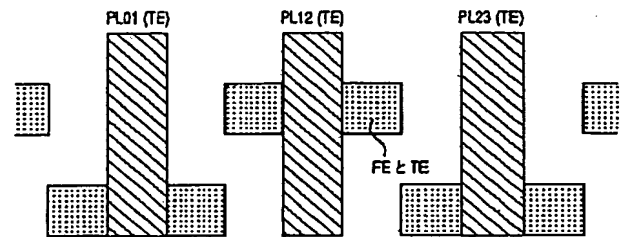
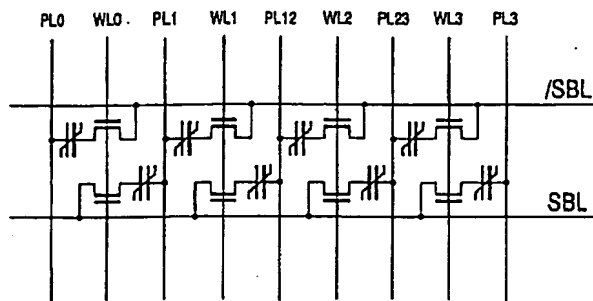
【図150】



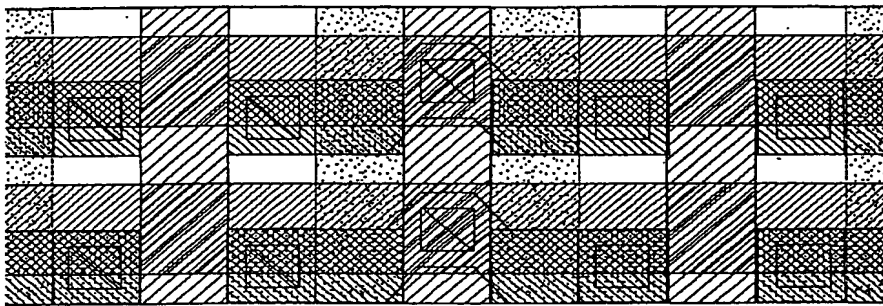
【図151】



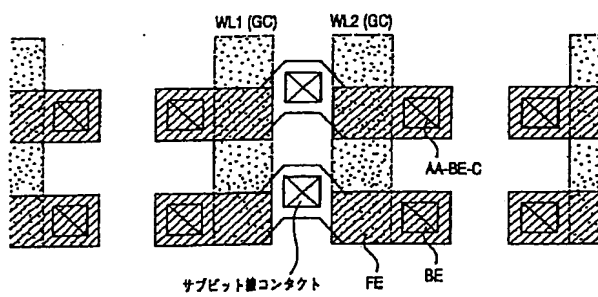
【図 155】



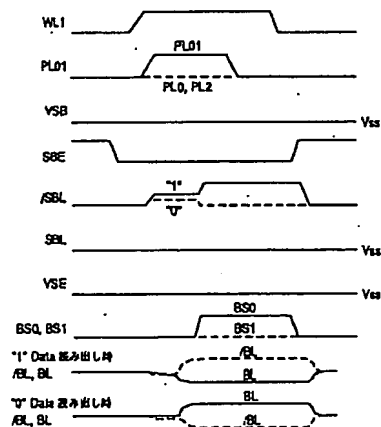
【图 153】



【图 154】



【图 157】



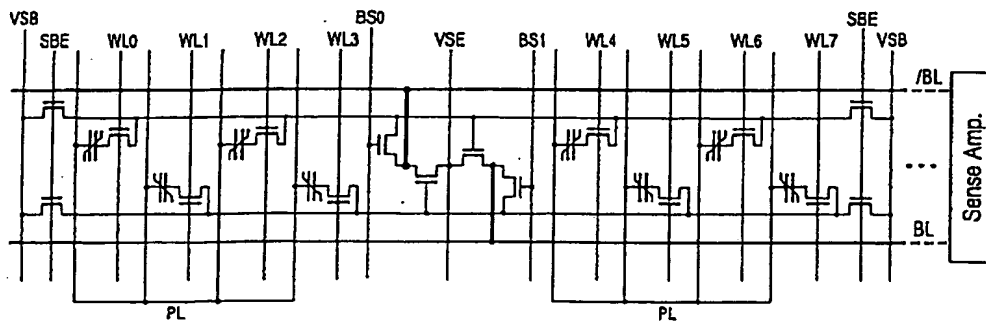
The timing diagram for the 74VHC00 shows the following signals and their states during data transfer:

- WL1**: High during the first data transfer phase.
- PL01**: High during the first data transfer phase.
- ABL**: High during the first data transfer phase, low during the second.
- SEL**: High during the first data transfer phase, low during the second.
- VSE**: High during the first data transfer phase, low during the second.
- BSQ, BS1**: High during the first data transfer phase, low during the second.
- BL**: High during the first data transfer phase, low during the second.

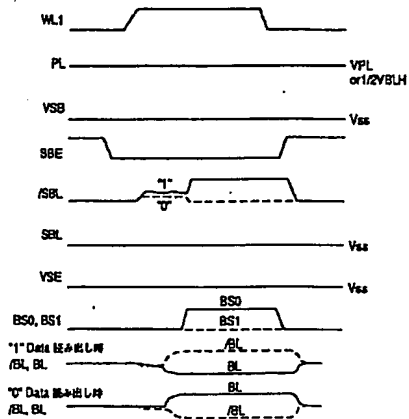
The diagram is divided into two main sections: "1" Data 送り出し時 (Data 1 output) and "0" Data 送り出し時 (Data 0 output). The signals are labeled as follows:

- WL1**: High during the first data transfer phase.
- PL01**: High during the first data transfer phase.
- ABL**: High during the first data transfer phase, low during the second.
- SEL**: High during the first data transfer phase, low during the second.
- VSE**: High during the first data transfer phase, low during the second.
- BSQ, BS1**: High during the first data transfer phase, low during the second.
- BL**: High during the first data transfer phase, low during the second.

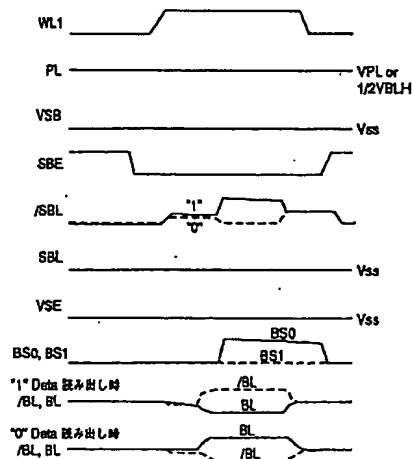
【図161】



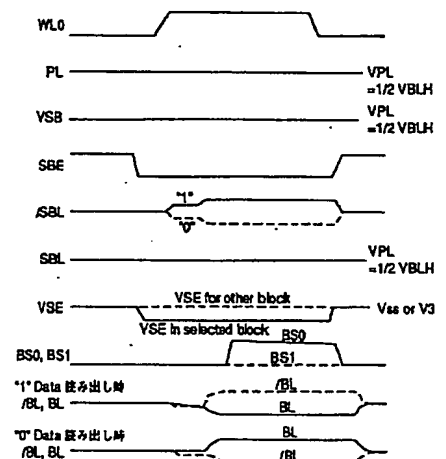
【図162】



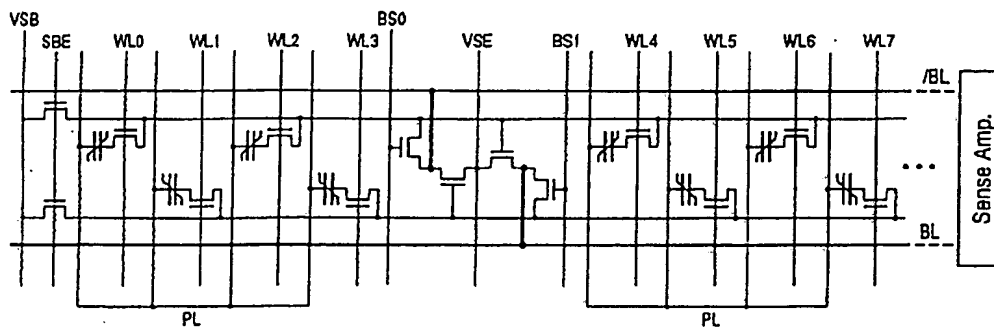
【図163】



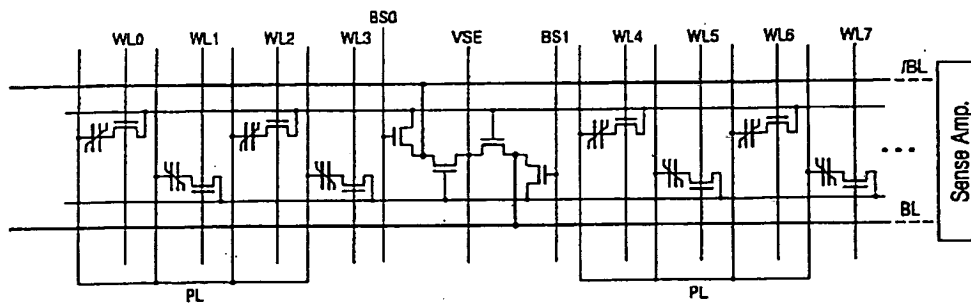
【図164】



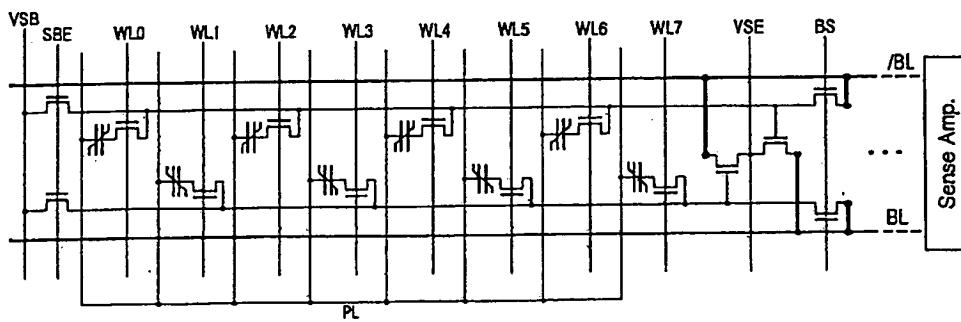
【図165】



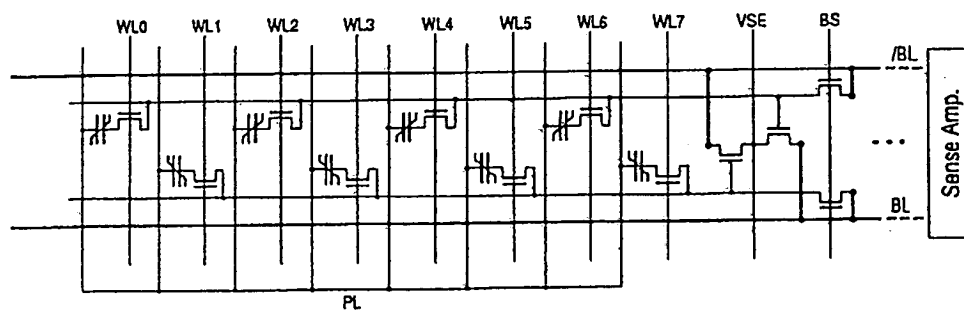
【図 166】



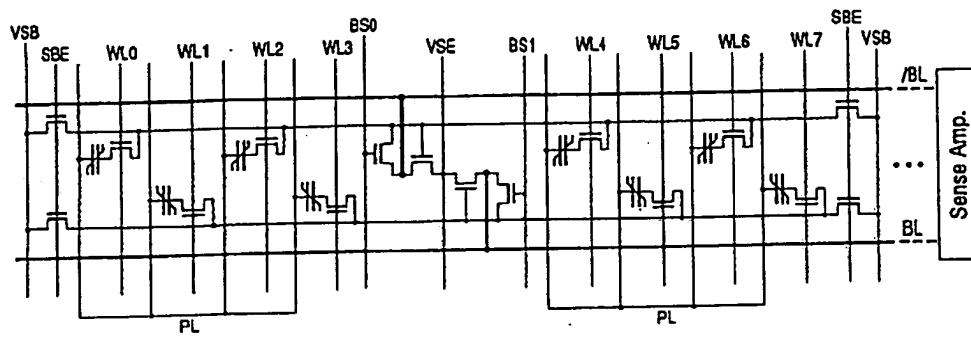
【図 167】



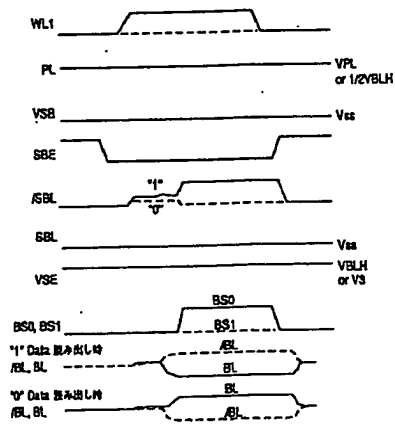
【図 168】



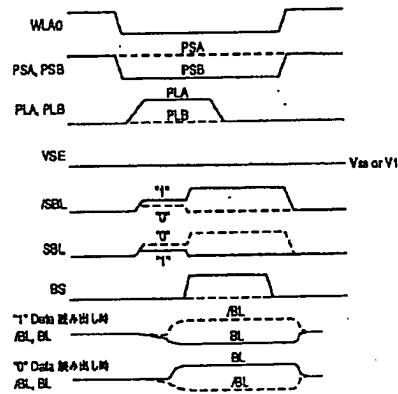
【図169】



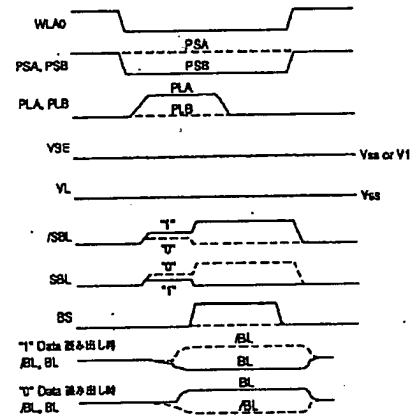
【図170】



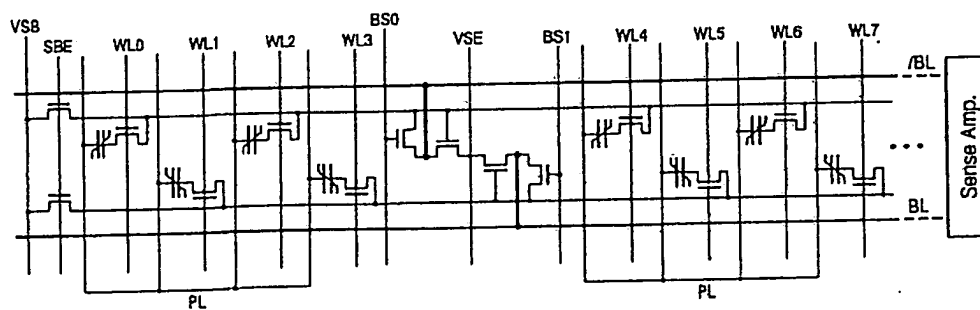
【図176】



【図178】



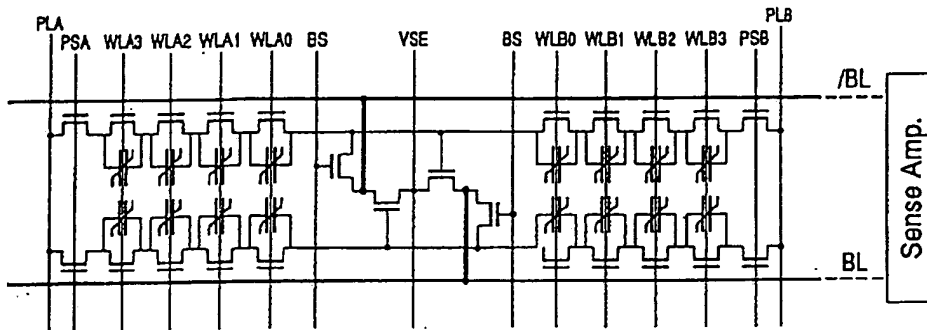
【図171】



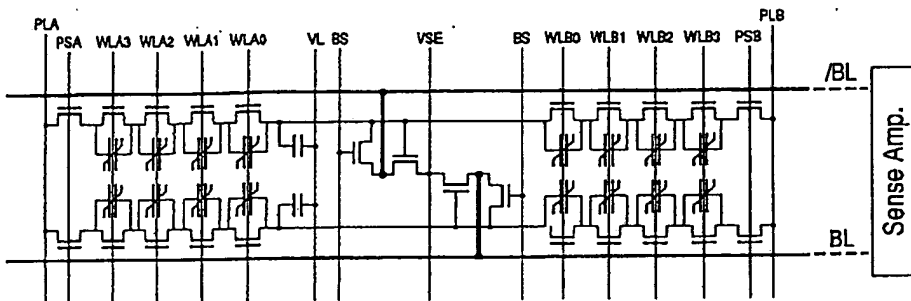
The figure illustrates the structure of the copolymer. It consists of a main chain of alternating blocks labeled AA-BE-C and AA-BL-C. A detailed view of a single block shows a cross-hatched pattern with labels AA-BE-C and AA-TE-C.

The schematic diagram illustrates a periodic structure composed of several layers. From left to right, the layers are labeled as follows: AA (alternating magnetic material), GO (graphene oxide), TE (top electrode), FE (ferromagnetic layer), BE (bottom electrode), and GC (graphene). The structure is shown in a perspective view, highlighting its layered nature.

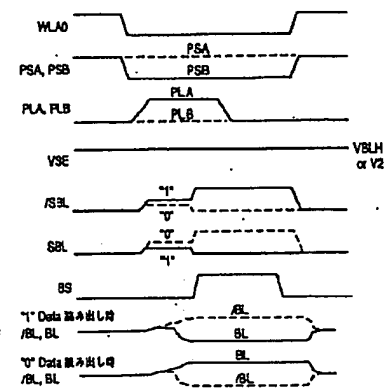
【図 175】



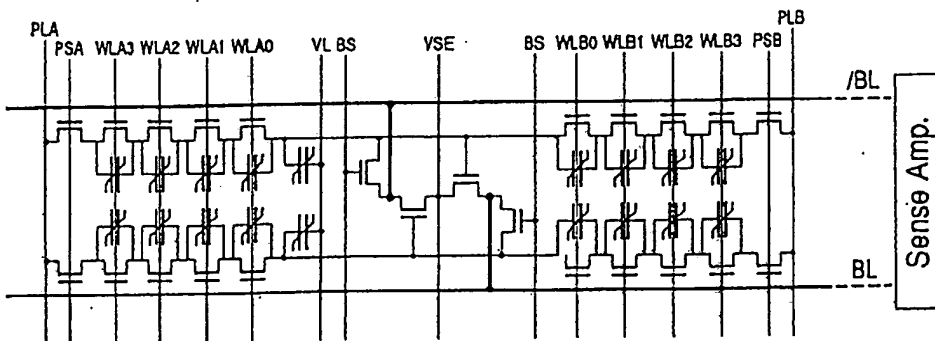
【図 177】



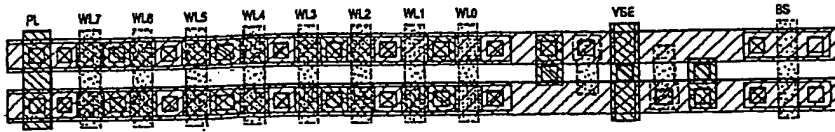
【図 187】



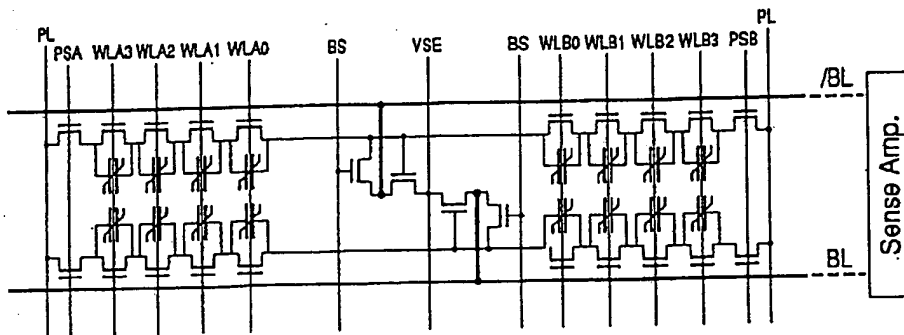
【図 179】



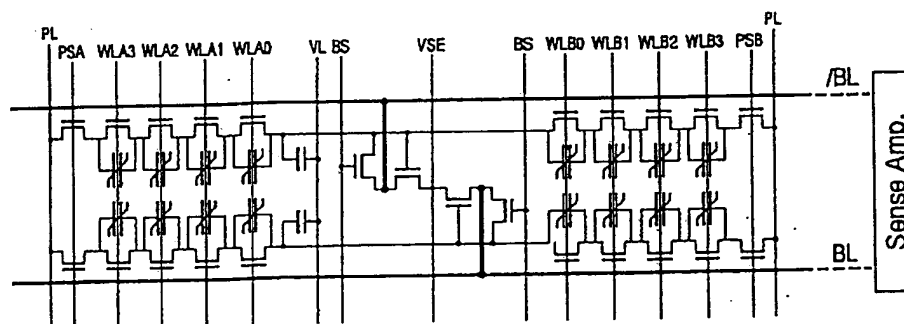
【図183】



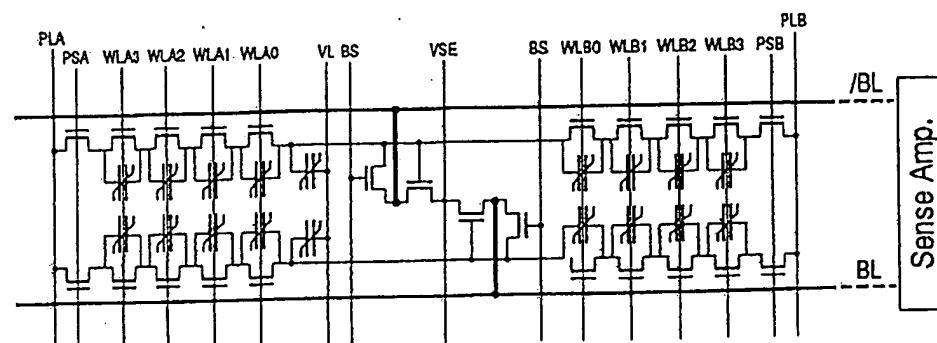
【図186】



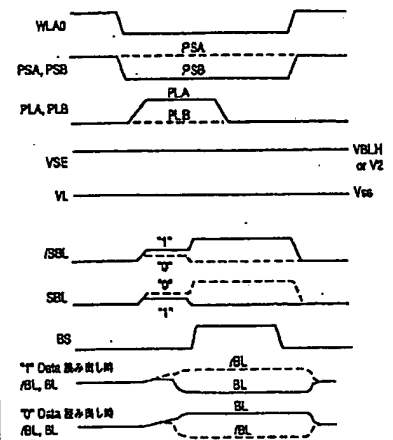
【図188】



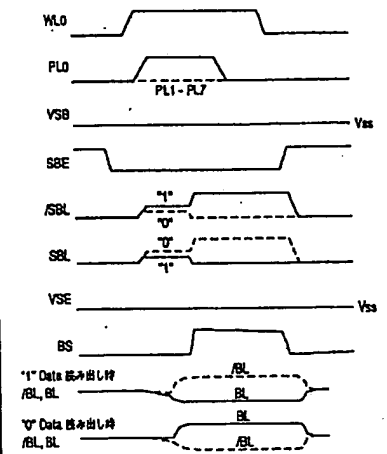
【図190】



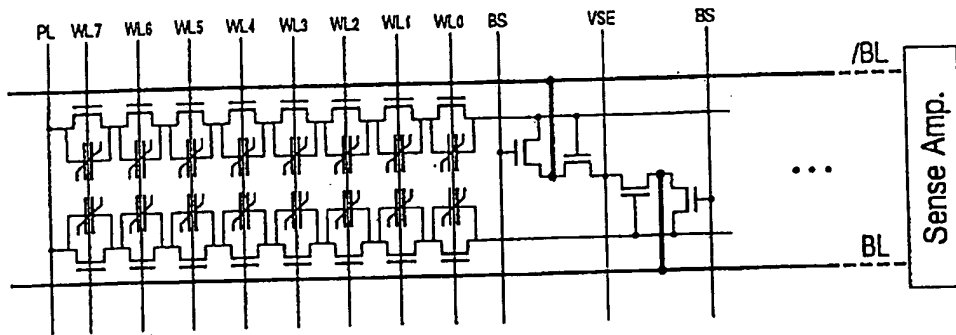
【図189】



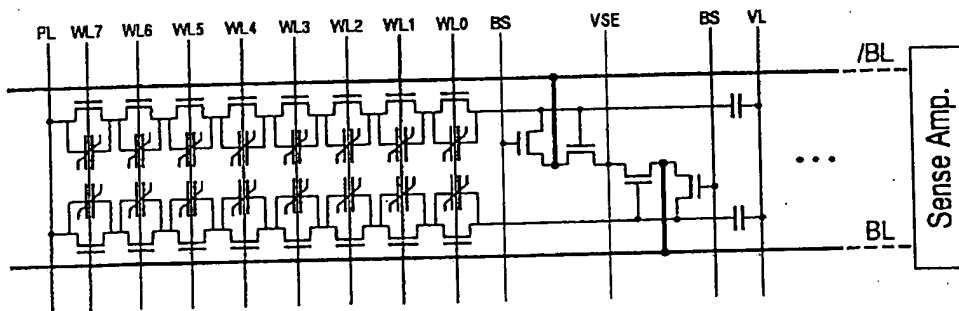
【図197】



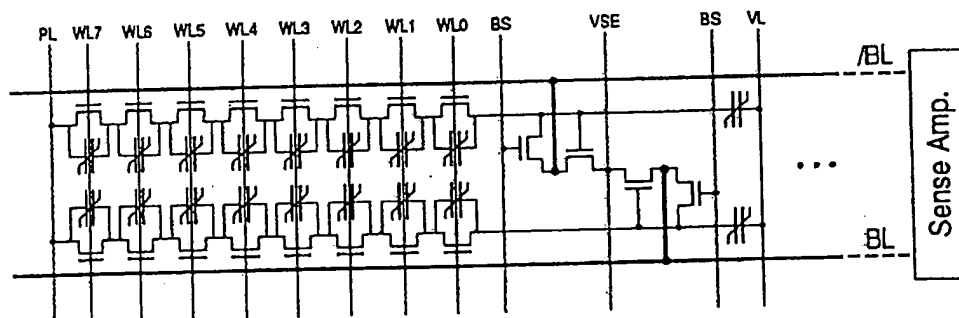
【図 191】



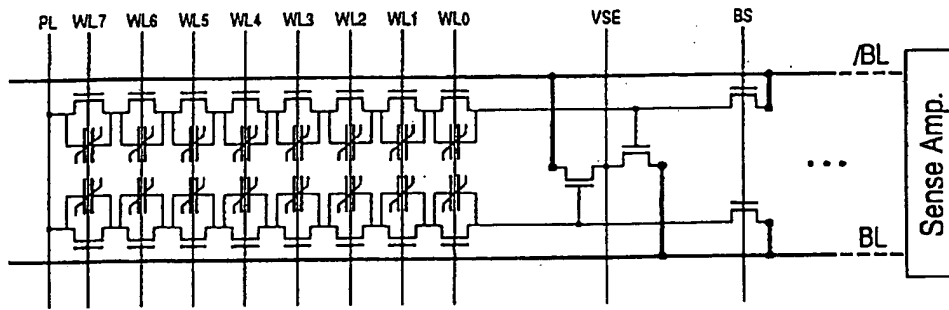
【図 192】



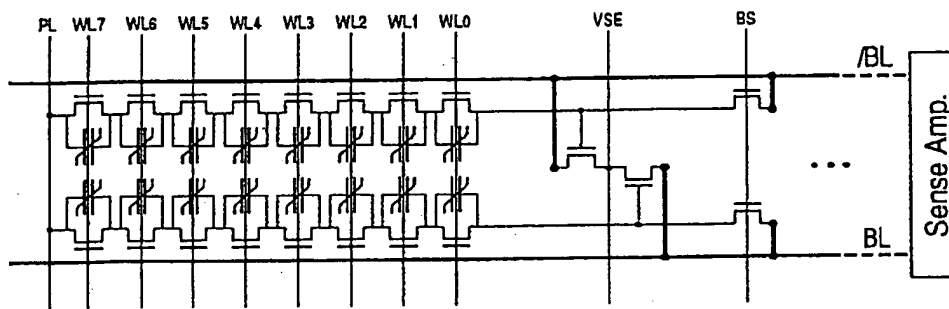
【図 193】



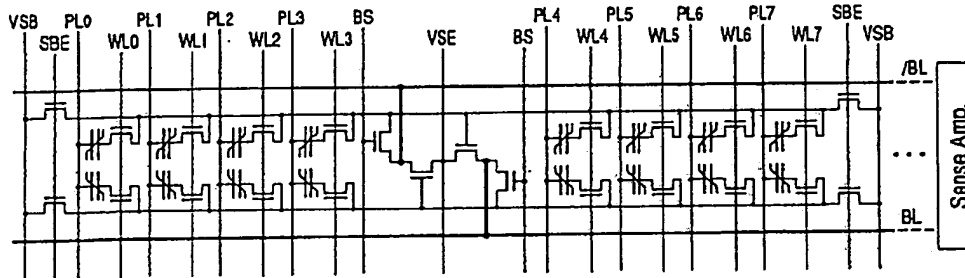
【図 194】



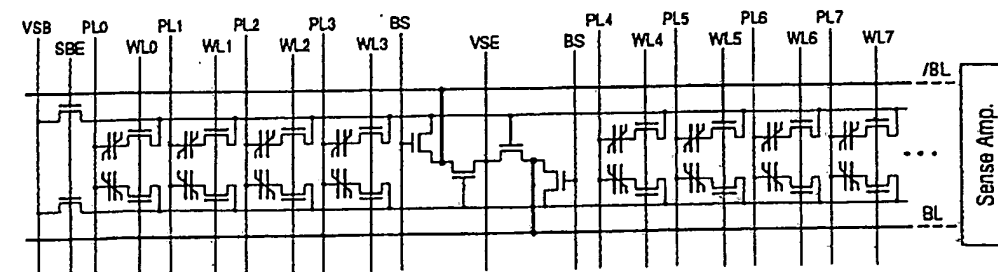
【図 195】



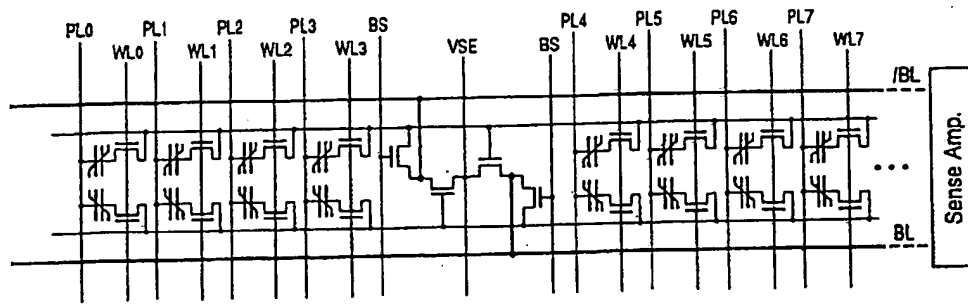
【図 196】



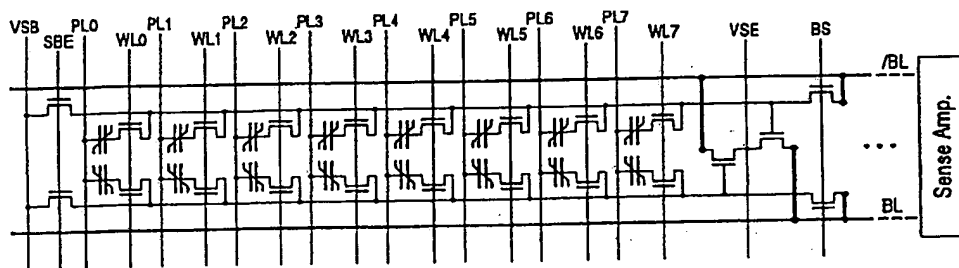
【図 198】



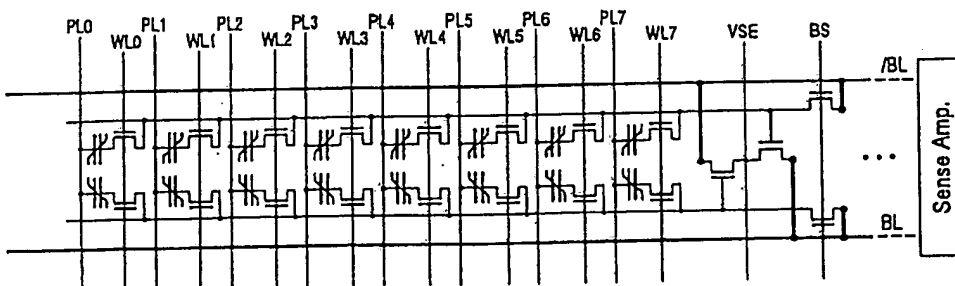
【図 199】



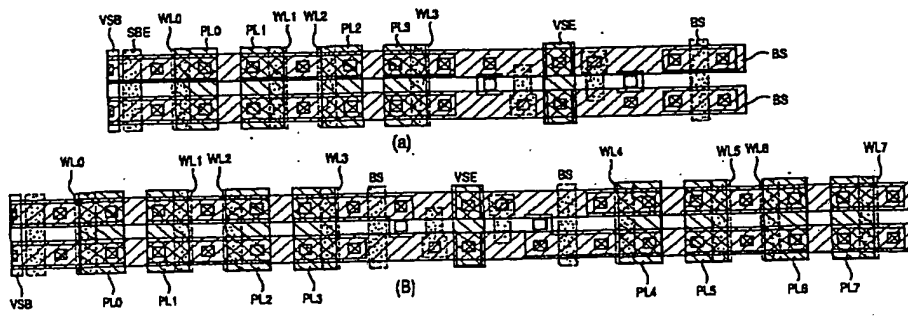
【図 200】



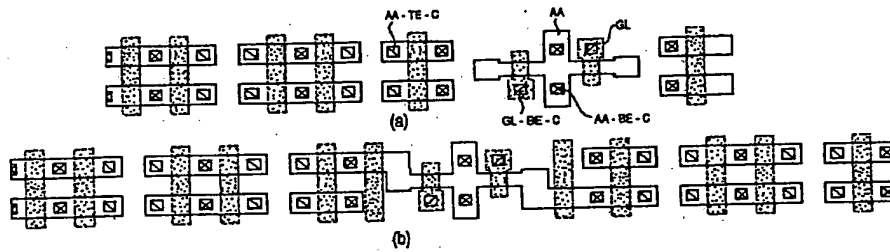
【図 201】



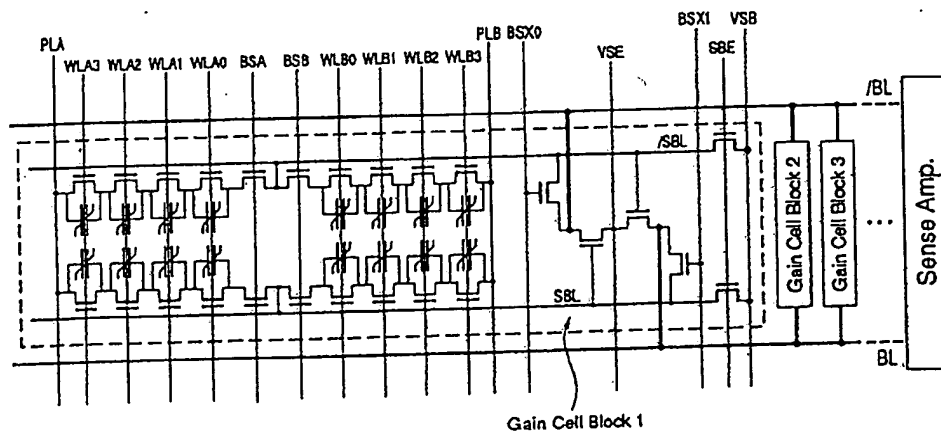
【図 202】



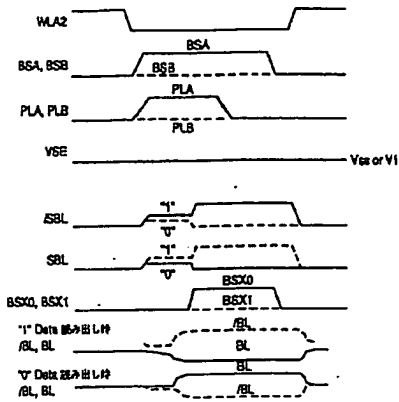
【図 203】



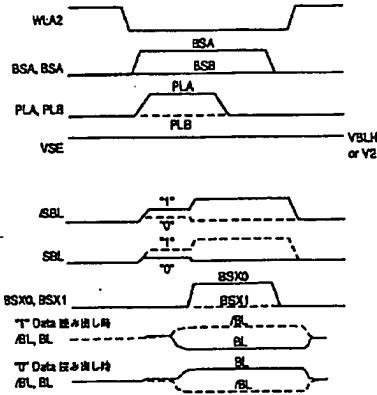
【図 204】



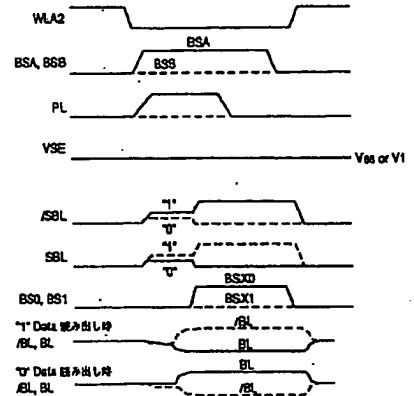
【図 205】



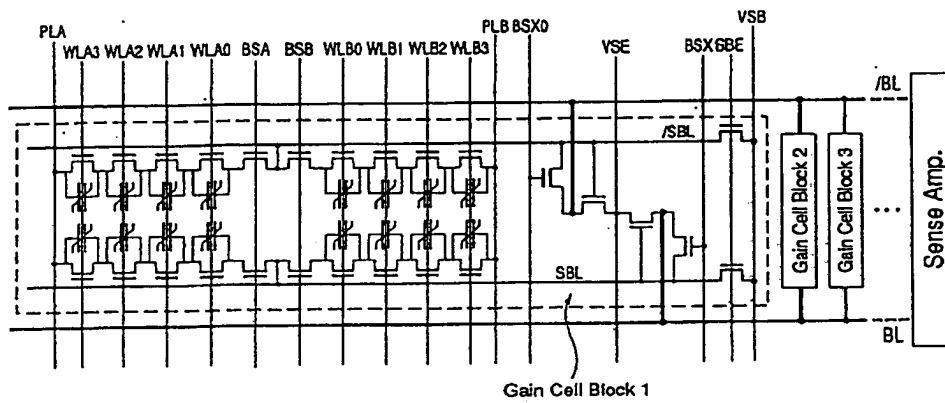
【図 207】



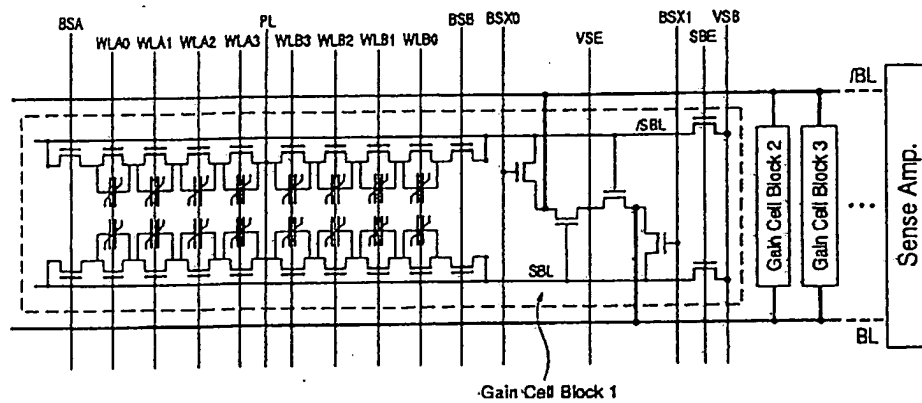
【図 209】



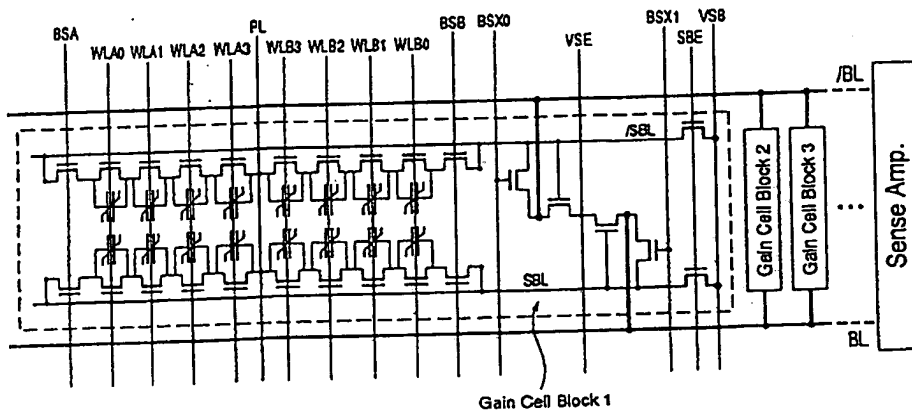
【図 206】



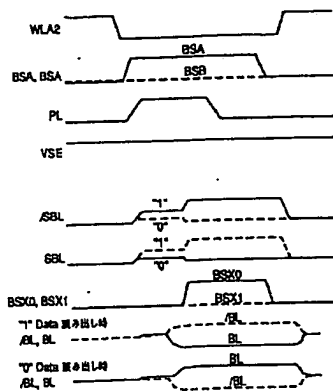
【図 208】



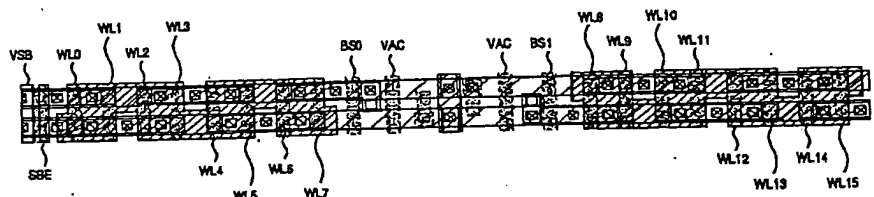
【図 210】



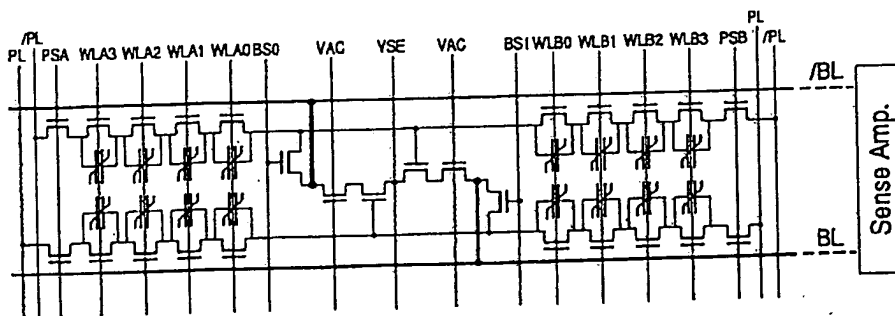
【図 211】



【図 225】

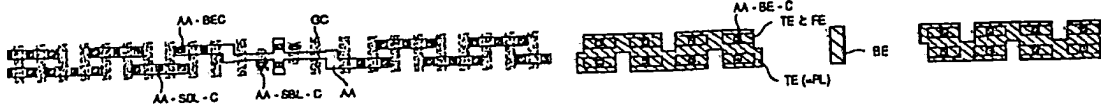


【図 212】

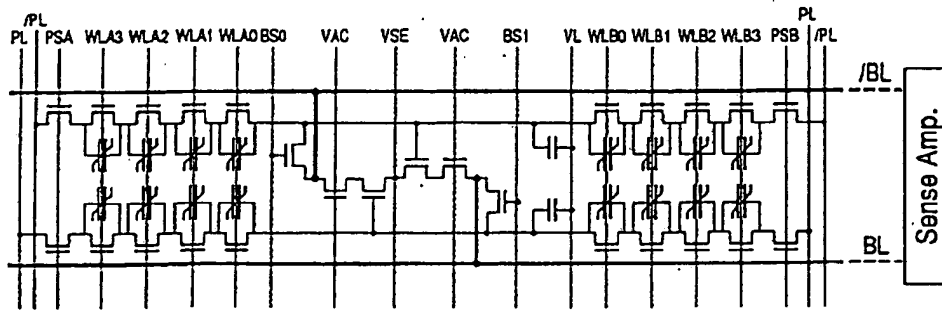


【図 226】

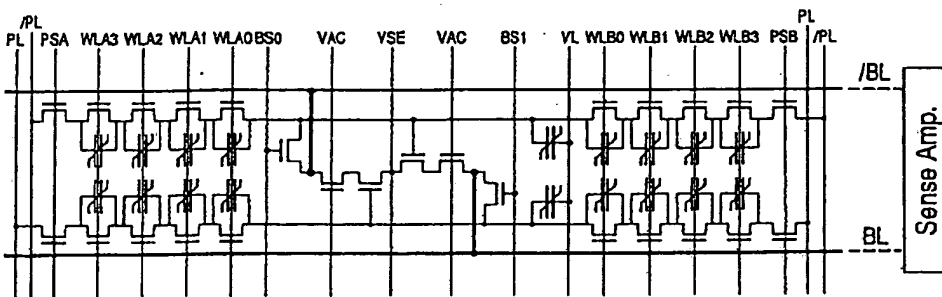
【図 227】



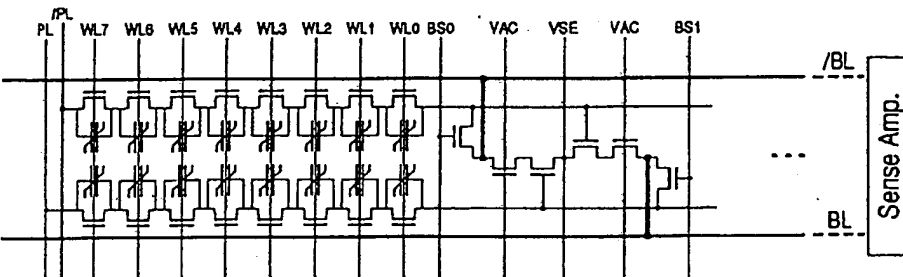
【図213】



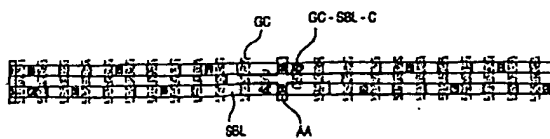
【図214】



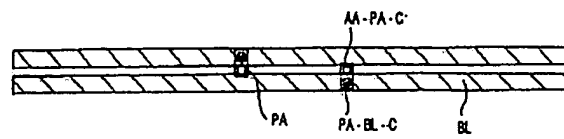
【図215】



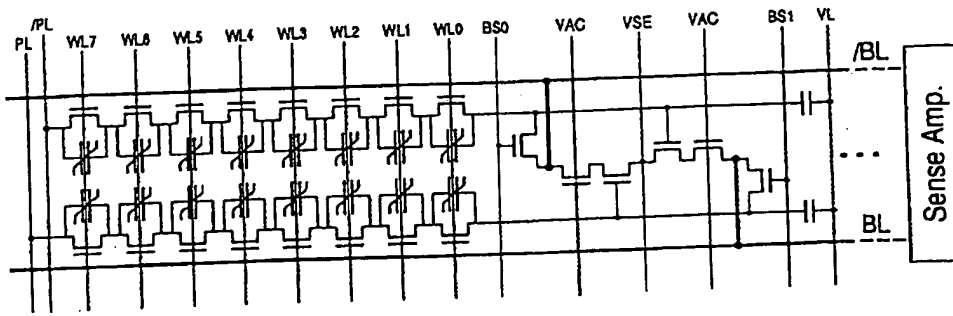
【図228】



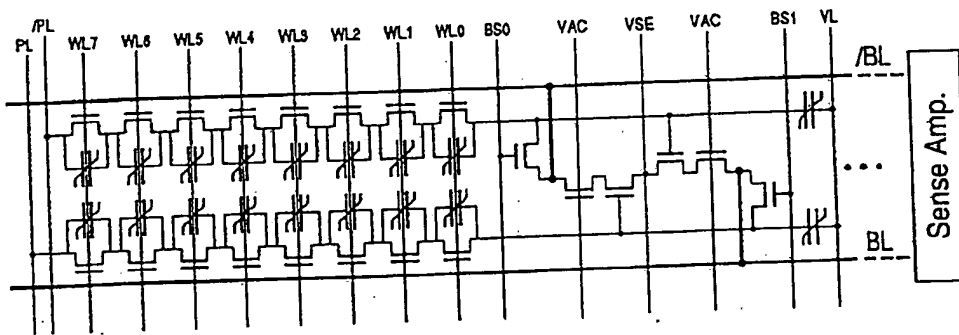
【図229】



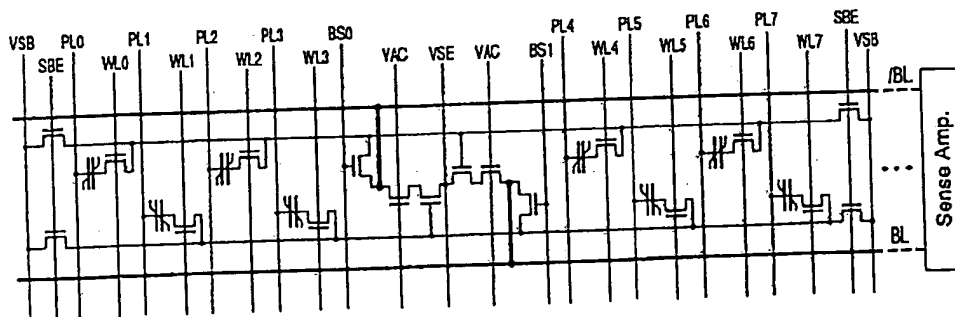
【圖 2 1 6】



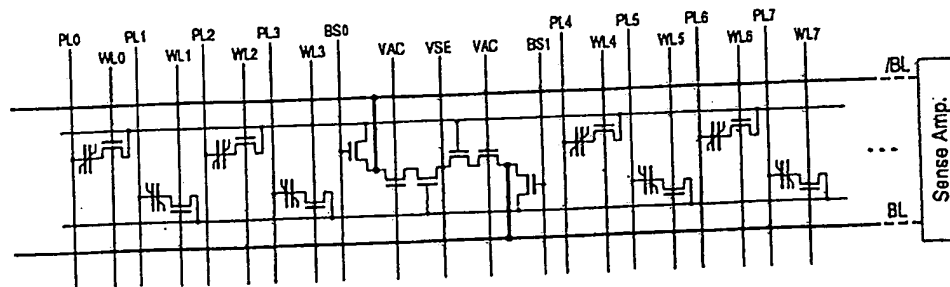
【図 2 1 7】



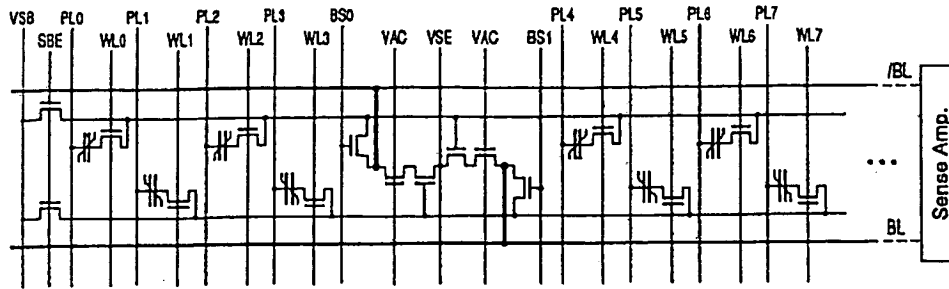
【圖 2 1 8】



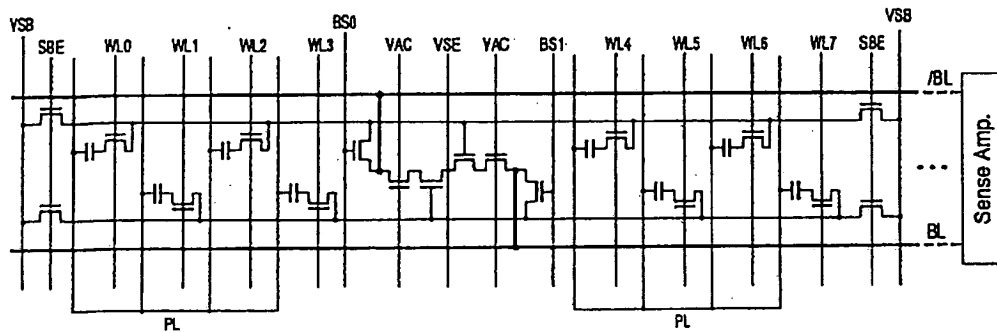
【図 220】



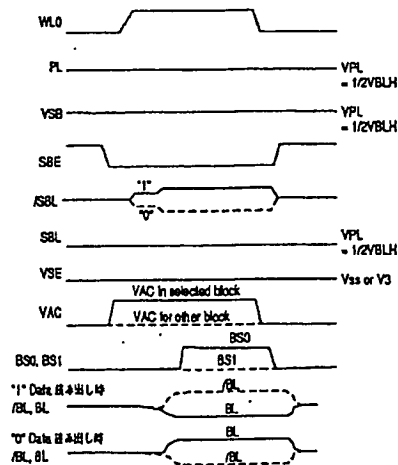
【図 219】



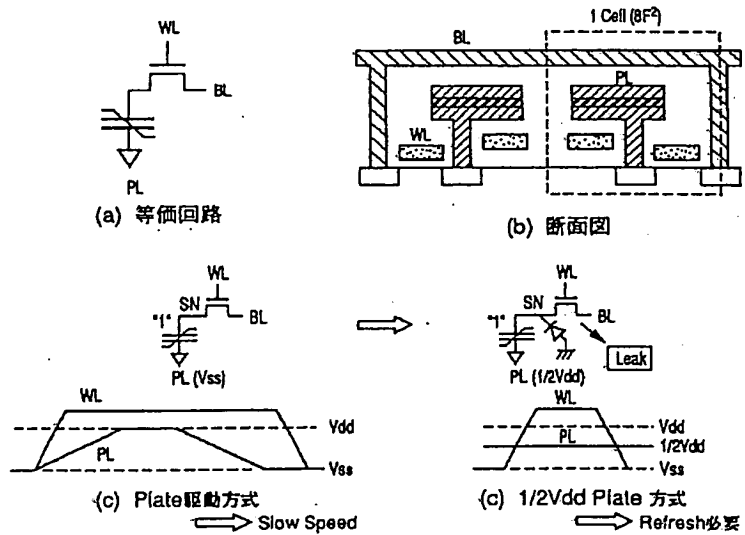
【図 221】



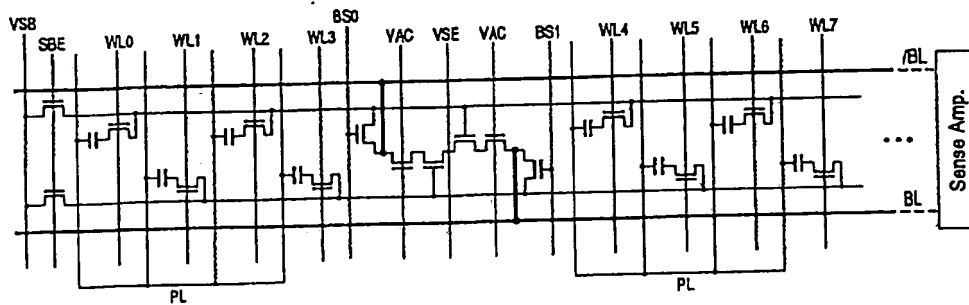
【図 222】



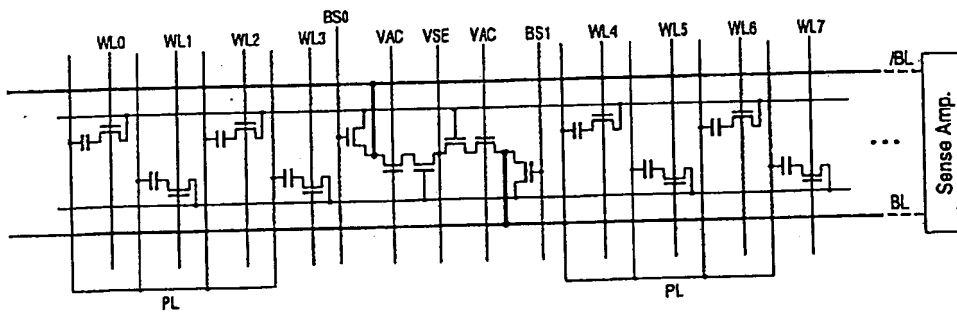
【図 230】



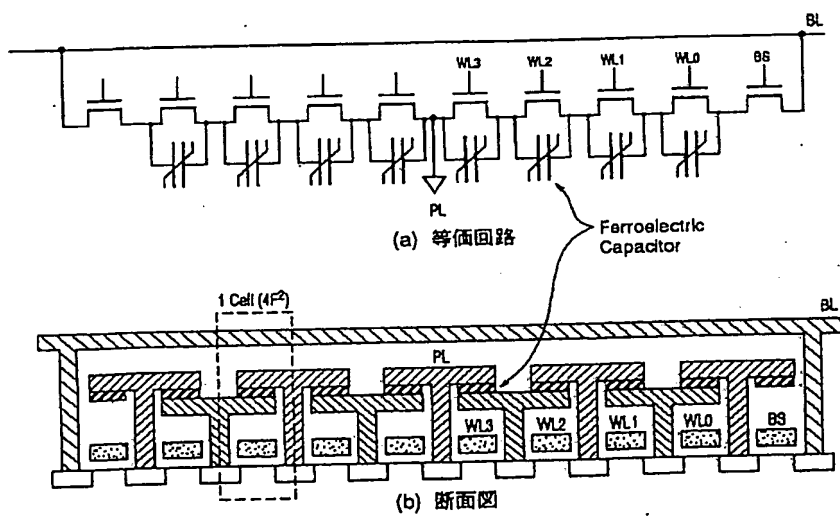
【図 2 2 3】



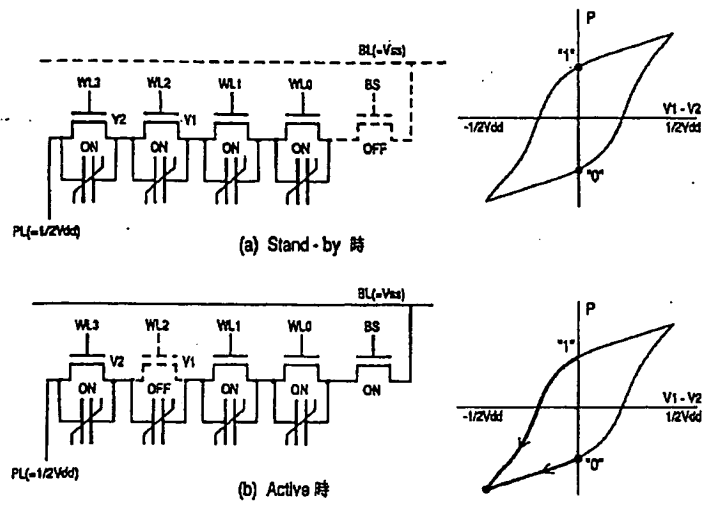
【図 2 2 4】



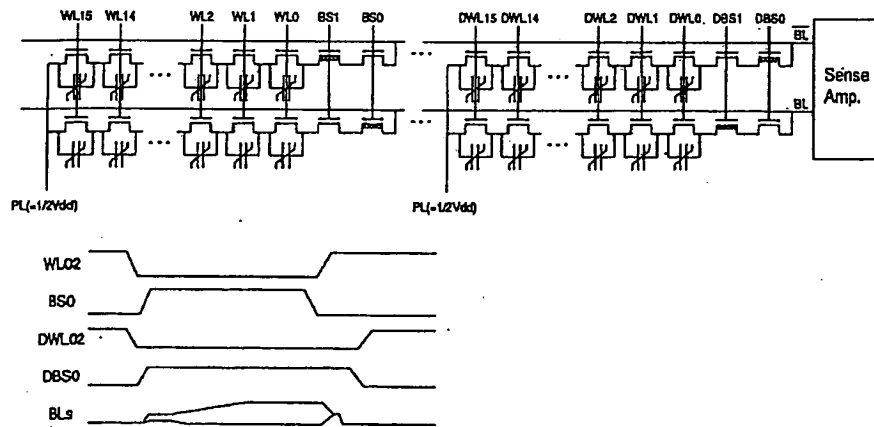
【図 2 3 1】



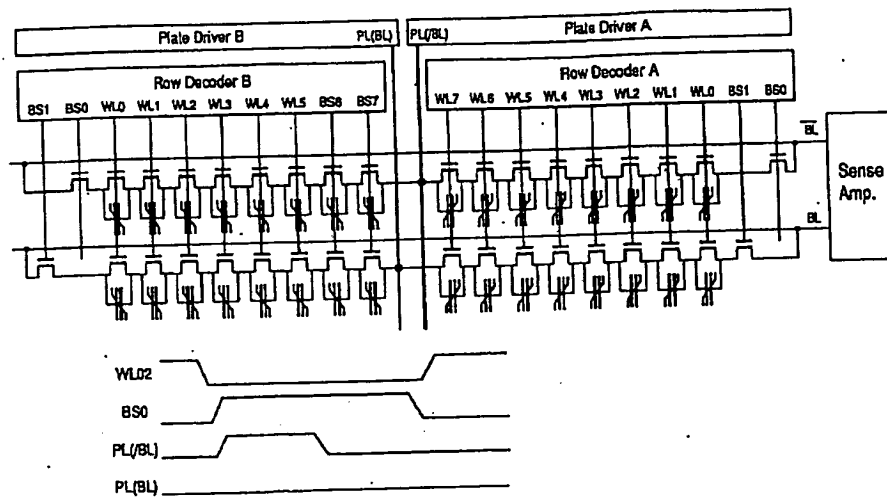
【図 232】



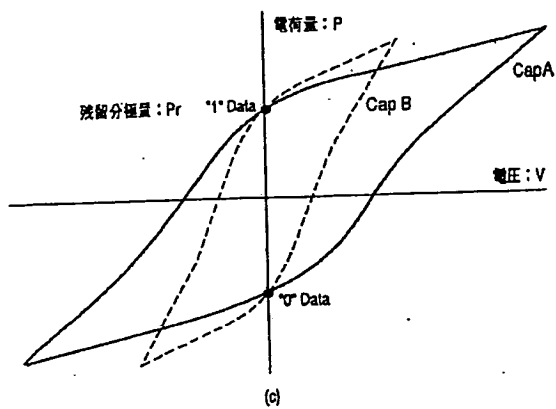
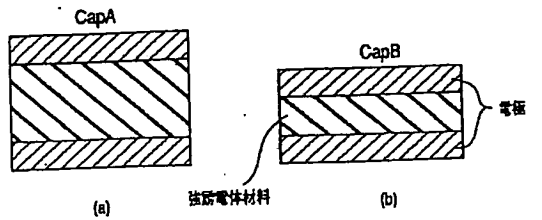
【図 233】



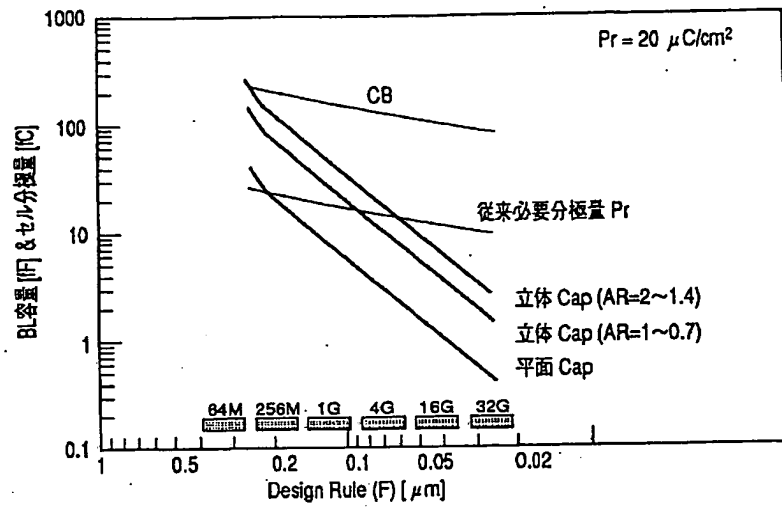
【図 234】



【図 235】



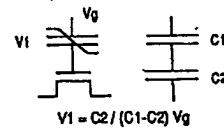
【図236】



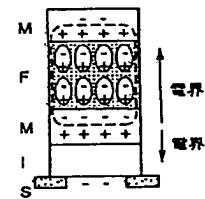
【図237】

| | | Coupling 比問題 | Leakage 問題 | 製造 容易性 | 誤差 | セル サイズ |
|-----|-----|-----------------|---------------|-----------|----|-----------|
| (a) | | × | × | × | × | $> 4F^2$ |
| (b) | | × | × | × | ○ | $> 8F^2$ |
| (c) | | × | ○ | ○ | ○ | $> 12F^2$ |
| (d) | | ○ | ○ | ○ | ○ | $> 16F^2$ |
| (e) | 本発明 | ○ | ○ | ○ | ○ | $4.5F^2$ |

Coupling 比問題



Leakage 問題



自己増幅機能を持つ強誘電体メモリ比較